

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2605828号

(45)発行日 平成9年(1997)4月30日

(24)登録日 平成9年(1997)2月13日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/44	5 5 4		G 0 6 F 9/44	5 5 4 C
G 0 5 B 13/02			G 0 5 B 13/02	N
G 0 6 F 9/44	5 5 0		G 0 6 F 9/44	5 5 0 D

請求項の数3 (全 20 頁)

(21)出願番号	特願昭63-248662	(73)特許権者	999999999 オムロン株式会社 京都府京都市右京区花園土堂町10番地
(22)出願日	昭和63年(1988)9月30日	(72)発明者	久野 敦司 京都府京都市右京区花園土堂町10番地 立石電機株式会社内
(65)公開番号	特開平2-96236	(74)代理人	弁理士 松井 伸一
(43)公開日	平成2年(1990)4月9日	審査官	林 毅
		(56)参考文献	特開 昭62-251836 (J P, A) 特開 昭61-26112 (J P, A)

(54)【発明の名称】 情報処理システム並びにファジィコンピュータ

1

(57)【特許請求の範囲】

【請求項1】変数の値を求める質問情報を外部から受けとる質問受信手段と、  
前記質問受信手段が受信した質問に対応する変数を後件部の出力変数とするルールを検出するルール検出手段と、  
前記ルール検出手段で検出された前記ルールの前件部の入力変数の値を求める質問情報を外部に対して出力する質問送信手段と、  
前記質問送信手段による前記質問情報に対する回答として前記入力変数の値を受信する回答受信手段と、  
前記回答受信手段によって受信した前記入力変数の値を前記ルールに適用して推論して前記出力変数の値を求める推論手段と、  
前記推論手段の出力した前記出力変数の値を、前記質問

2

受信手段が受信した質問情報への回答として外部に出力する手段とを備えた情報処理システム。

【請求項2】デファジファイ出力の要求に基づいてそのデファジファイ出力をファジィ変数として後件部にもつファジィルールをファジィメモリから検出するルール検出手段と、

前記選択手段により選択された前記ファジィルールの前件部のファジィ変数の値に応じたデータを検出するセンサと、

10 前記センサから与えられた値と選択した前記ファジィルールとから後件部のデファジファイ出力を出す手段とを備えたファジィコンピュータ。

【請求項3】デファジファイ出力の要求に基づいてそのデファジファイ出力をファジィ変数として後件部にもつファジィルールをファジィメモリから検出するルール検

出手段と、  
前記選択手段により選択されたファジィルールの前件部のファジィ変数を得るためのデファジファイ出力の要求を外部に出力する送信手段と、  
前記送信手段から出力されたデファジファイ出力の要求に基づいた回答であるデファジファイ入力値を受けとる受信手段と、  
その受信手段を介して与えられた前記デファジファイ入力値を前件部のファジィ変数とするとともに選択した前記ファジィルールを用いて後件部デファジファイ出力を出す手段を備えたファジィコンピュータ。

#### 【発明の詳細な説明】

##### <産業上の利用分野>

この発明は、情報処理システム並びにファジィコンピュータに関する。

##### <従来の技術>

特開昭63 - 123177号および特開昭63 - 123178号公報において、従来の「1」、 「0」の二進数を扱うノイマン型コンピュータとは異なるファジィコンピュータが示されている。

##### <発明が解決しようとする課題>

このコンピュータは、特殊な実施例を除いて、前件部および後件部からなる予め定められたファジィルールと入力信号とに基づいて所定の結論を推論するもので予め定められたファジィルールの制約を受け、推論の自由度に欠け、汎用性に欠けるという問題があった。

この発明は、推論の自由度を増やし、汎用性を高め、また高度で抽象的な質問であっても的確な回答を得ることができ、しかも、係る回答を得るために要する時間をできるだけ短縮することができる推論システム及び情報処理システム並びにファジィコンピュータを提供することを目的とする。

##### <課題を解決するための手段>

上記した目的を達成するため、本発明に係る情報処理システムでは、変数の値を求める質問情報を外部から受けとる質問受信手段（結論メモリコントローラ15）と、前記質問受信手段が受信した質問に対応する変数を後件部の出力変数とするルールを検出するルール検出手段（ルールコントローラ10及びファジィルールレジスタ部11）と、前記ルール検出手段で検出された前記ルールの前件部の入力変数の値を求める質問情報を外部に対して出力する質問送信手段（入力制御部12）と、前記質問送信手段による前記質問情報に対する回答として前記入力変数の値を受信する回答受信手段（入力制御部12）と、前記回答受信手段によって受信した前記入力変数の値を前記ルールに適用して推論して前記出力変数の値を求める推論手段（ファジィ推論部14）と、前記推論手段の出力した前記出力変数の値を、前記質問受信手段が受信した質問情報への回答として外部に出力する手段（結論メモリコントローラ15）とから構成した（請求項1）。

ここで質問情報とは、「推論を実行するために必要なある変数の値を求めるための質問」のことをいう。

また、本発明に係るファジィコンピュータは、デファジファイ出力をファジィ変数として後件部にもつファジィルールをファジィメモリから選択する選択手段（ルールコントローラ10及びファジィルールレジスタ部11）と、前記選択手段により選択された前記ファジィルールの前件部のファジィ変数の値に応じたデータを検出するセンサ（センサ6）と、前記センサから与えられた値と選択した前記ファジィルールとから後件部のデファジファイ出力を出す手段（ファジィ推論部14）とを備えて構成した（請求項2）。

また、別の解決手段としては、デファジファイ出力の要求に基づいてそのデファジファイ出力をファジィ変数として後件部にもつファジィルールをファジィメモリから選択する選択手段（ルールコントローラ10及びファジィルールレジスタ部11）と、前記選択手段により選択されたファジィルールの前件部のファジィ変数を得るためのデファジファイ出力の要求を外部に出力する送信手段（入力制御部12）と、前記送信手段から出力されたデファジファイ出力の要求に基づいた回答であるデファジファイ入力値を受けとる受信手段（入力制御部12）と、その受信手段を介して与えられた前記デファジファイ入力値を前件部のファジィ変数とするとともに選択した前記ファジィルールを用いて後件部デファジファイ出力を出す手段（ファジィ推論部14）を備えるようにしてもよい（請求項3）。

##### <作用>

本発明の情報処理システム（ファジィコンピュータ）では、外部からの質問情報（デファジファイ出力）の要求があると、この要求の結論を得るためのルール（ファジィルール）をファジィメモリ等から読み出し、読み出したルールの前件部の変数（ファジィ変数）の値を求めるべく外部の装置すなわちセンサまたは別の装置・ファジィコンピュータ等に対してその値を求める。つまり、センサに対してはセンサ出力を要求し、装置・ファジィコンピュータに対しては、その変数の値に相当する新たな質問情報・デファジファイ出力の要求を行う。

そして、外部の装置から入力した値とすでに読み出しているルールとから最初に与えられた質問情報に対する変数の値（後件部のデファジファイ出力）を求め、質問情報・デファジファイの要求元に対して返送する。

このように、ある命題を解く際に、質問を適宜ブレークダウンすることにより、高度な質問に対しても適切な回答が得られる。

##### <実施例>

以下図面にもとづき実施例を説明する。第1図は、本実施例装置のシステム構成図である。このシステムでは、超小型のデジタルコンピュータいわゆるマイクロコンピュータを中心に構成された上位1の下に、後に詳

説するファジィコンピュータ（以下必要により、FCと省略する）2,3,4,5が配置され制御される。そして、例えば、第1番目のファジィコンピュータ2に対して、第2のファジィコンピュータ3が接続される等多階層構造になっている点に特徴がある。

すなわち、FC2は複数のセンサ6,6,...からの出力にもとづく推論に加えて、下位とも言うべき第2のFC3の推論結果も入力として取扱い推論できる構造になっている。

ここで本システムで実行する推論につき、後の理解を容易にするため、第2図の処理概略図にもとづき簡単に説明しておく。今上位1からある命題に関する推論の実行が最上位のFCaに指令されたとする。この指令はデファジファイ出力を要求することになる。この指令に応じてFCaは、この命題の推論に必要な情報が下位のFCbないしcで得られる場合には、FCbないしcを起動する。この起動に応じてFCbないしcは、各別に配置されたセンサ6,6の出力にもとづく推論を実行し、その結果をFCaに伝達する。この結果を受けたFCaは推論を実行し、結果を上位1に伝える。このようにして得られた最終推論結果は上位1中の表示器で表示されたり、別のシステムに対し制御信号として出力されたりする。

このように、下位のFCによって得られる推論結果を上位のFCがセンサ出力と同時に取扱えるようにしておくと、大きく複雑な問題を分析・推論する場合に有利である。

又、この第2図において点線で囲んだ部分について付言しておく。すなわち、下位のFCcはそのセンサ出力に応じた推論を実行し、その結果を上位のFCaに伝えるが、その信号形態は、センサ6,6が自ら入力してくる信号形態と等価に形成されている。従って、上位のFCaから見ると、センサ6からの直接出力であるか、推論結果であるかが区別できない。あるいは区別する必要がない。このことは、点線で囲んだ部分7全体がある種のセンサ、いわばファジィセンサを形成していることを意味する。

次に第3図にもとづきファジィコンピュータと上位（以下MPUと呼ぶ）1との関係を説明する。第3図に代表的に示されたFC2はMPU1と上位バス8によって結合されている。このバス8を介してMPU1は、ファジィルールメモリ9に予めファジィプロダクションルールを格納する。

そしてある命題を実行する際には、MPU1は、その命題を示す情報をバス8を介してルールコントローラ10に転送する。この結果ルールコントローラ10は、起動すべきルールを選択し、ファジィルールメモリ9からのファジィルールレジスタ部11にセットする。すなわち、本例ではこのルールコントローラ10とファジィルールレジスタ部11とでルール検出手段が構成される。

ファジィルールレジスタ部11にセットされたルール

は、入力制御部12でファジィ変数として外部入力を取り込むべきか、あるいは後述のファジィ結論メモリ部13から取込むべきかが判断される。この判断にもとづき選定されたファジィ変数が、ルールとともに推論手段たるファジィ推論部14に印加され推論が実行される。推論された結果はファジィ結論メモリ部13に格納される。この推論結果は、結論メモリコントローラ15および上位バス8を介してMPU1に転送される。

すなわち、MPU1は、ファジィルールメモリ9、ルールコントローラ10および結論メモリコントローラ15を自在にアクセスでき、これによって所望の推論を実行・完成させるものである。

なお、上記入力制御部12が、質問送信手段並びに回答受信手段を兼用している。また、結論メモリコントローラ15が質問受信手段と外部に出力する手段を兼用している。

次に第3図に示したファジィコンピュータの具体的構成および動作について説明する。

そのため第2図に戻って本システムにおける推論動作につき説明する。MPU1がZ1に関する推論を行なうためFCaにその旨を転送する。すなわち、MPU1は、デファジファイ出力Z1の要求を出す。これはFCaにおいて、ファジィプロダクションルール「 $if x1 = A1 \cdot y1 = B1 \text{ then } z1 = C1$ 」（すなわち“ $x1$ が $A1$ で、かつ $y1$ が $B1$ ならば、 $z1$ は $C1$ である”）というif-then形式に展開されたとする。

これに応じてFCaは前記ルールの前件部のファジィ変数である $x1$ あるいは $y1$ がいずれの個所で得られるかを探索する。この探索の詳細は後に説明するが、要するに、センサ6より確定値として得られる場合は従来のファジィコンピュータと同様であるが、他のFCの推論結果として得る場合には、先の例でいえば $x1$ あるいは $y1$ を後件部とする全ルールが特定のFCにおいて実行され、その結果から得られる総合的な推論結果が確定値として例えばFCbあるいはFCcよりFCaに伝達される。

第2図においては、FCaとFCbあるいはFCcというように2階層の構造を説明したが、これに限られるものではない。すなわち、ある階層に位置するFCで実行されるルールの前件部にセンサ出力ではないファジィ変数を含む場合には、そのファジィ変数を出力するFC（すなわち下位のFC）を順次、起動していく点に本システムの特徴がある。

さてファジィルールメモリ9には複数のif-then形式のファジィプロダクションルールが格納される。その詳細は第4図に示すように、各ルールとも前件部16と後件部17とで構成されている。このファジィプロダクションルール（以下、ファジィルールとも呼ぶ）はMPU1によって予めファジィルールメモリ9に書き込まれている。

又、MPU1は、ルールコントローラ10に起動すべきファジィルールを決定するためのデータを予め書き込んでおり、その詳細を第5図に示す。

第 5 図において、ルールコントロールメモリ18のstaddr ( i ) およびendaddr ( i ) は、後件部のファジイ変数を同一とするルールがファジイルールメモリ 9 中のどのアドレスにあるかを示すためのもので先頭アドレスをstaddr ( i ) で、又、最終アドレスをendaddr ( i ) で示している。

このファジイルールメモリ 9 とルールコントロールメモリ18とのメモリ上の関係を第 6 図に図示する。

以上のようにしてMPU1が全てのFCに対してファジイルールとルールコントロールデータとを書き込むことにより本システムは推論を行える状態に初期化される。

それに伴いMPU1から所定の項目の推論開示を指令するが、この指令は上位バス 8 を介して第 3 図の結論メモリコントローラ15に与えられる。結論メモリコントローラ15の詳細を第 7 図に示す。又、ファジイ結論メモリ部13の詳細を第 8 図に、さらにファジイ結論メモリの詳細を第 9 図に示す。

今MPU1は r なる事象 ( 項目 ) を推論すべく、 i なるアドレス信号を上位バス 8 を介して結論メモリコントローラ15に印加する。このアドレス信号はコマンドレジスタ 21 ( 第 7 図 ) にセットされる。これに応じて結論メモリアクセス部22は、アドレス信号eadを与え結論メモリ20から該当するファジイ変数値edatをインターフェイス223を介して読出す。すなわち、上記コマンドレジスタ21と結論メモリアクセス部22とが、質問受信手段を構成している。

ファジイ結論メモリ20は詳細を第 9 図に示すように推論結果を記憶するメモリで、第 3 図のファジイ推論部14で推論が終了したのに伴いファジイ変数値である推論結果が結論部23にセットされるとともに最上位に位置するフラグ部24に“ 1 ”が立てられる。従って、フラグ部24に“ 1 ”が立っていない場合には、該当するファジイ変数は有効でないことを意味する。

従って、結論メモリ20からリードしたデータedatの最上位ビットが“ 1 ”の場合にはこのデータは有効とされ、結論メモリデータレジスタ25 ( 第 7 図 ) にセットされる。なお、この結論メモリデータレジスタ25と、結論データレジスタ251とで外部に出力する手段を構成している。

リードされたデータedatの最上位ビットが“ 0 ”の場合には、ルール起動要求信号erulがファジイ変数アドレスfaddrとともに、ルールコントローラ10のルールコントロールメモリアクセス部26 ( 第 5 図 ) に印加される。

これに伴いルールコントローラ10では、後件部にファジイ変数アドレスfaddrを有するルール群 ( 今これを i とする ) をルールコントロールメモリ18をリードすることによって検出する。今これは i であるので、後件部を共通にする i 番目のルール群の先頭アドレスstaddr ( i ) および最終アドレス ( endaddr ( i ) ) がそれぞれバッファレジスタ27,28にセットされる。

バッファレジスタ27はカウンタ機能も有するもので、レジスタ27の出力はファジイルールメモリ 9 ( 第 3 図 , 第 6 図参照 ) 中の該当ルールをリードアクセスするための信号 ( ruladdr ) としてルールメモリ 9 に印加される。その結果推論が実行される。そして、ルール群のうちの一つのルールについての推論が終了すると同期用回路29からカウントアップ信号が出力されカウンタバッファ27は歩進され、その出力 ( ruladdr ) によって次のルールの推論が開始される。このようにしてルール群中の全てのルールの実行が終了すると、カウンタバッファ27と最終アドレス用バッファ28との出力を比較する比較器30から出力が出力され、歩進が停止する。これによって後件部を共通にするルール群の全ルールの推論が終了する。

次に、この繰り返しの推論がどのようになされるかについて説明する。

先述のルールアドレス信号であるruladdrはファジイルールメモリ 9 ( 第 3 図 ) に印加され、該当するルールがファジイルールレジスタ部11に読み出される。

ファジイルールレジスタ部11の詳細を第10図に示す。

今ルールアドレス信号ruladdrによって読み出されたルールが次記の式 ( 1 ) のようなものであったとする。

$$\text{if } x = A \cdot y = B \cdot z = C \\ \text{then } r = D \quad \dots ( 1 )$$

この式 ( 1 ) において、 x, y, z, r はファジイ変数であり、後述する所で明らかになるように、アドレス信号の形を取っている。

さてファジイルールメモリ 9 から読出された式 ( 1 ) で表わされたルールは、ファジイルールレジスタ部11のラッチ回路31ないし38 ( 第10図 ) に各変数毎にラッチ記憶される。

r ラッチ回路31上のアドレスは書き込みインターフェイス部22を介してファジイ結論メモリ20 ( 第 8 図 ) の書き込みアドレス用として用いられる。又、 x, y, z の各ラッチ回路上のアドレスはファジイ変数リード制御部39で時系列変換され、リードアドレスradとして、レジスタコードrcodeとともに詳細を第11図に示す入力制御部12 ( 第 3 図参照 ) に順次与えられている。

このようにして入力制御部12に与えられたルールの前件部に関する信号は、一対のデコーダ40,41で解読される。すなわち、最初のファジイ変数 x に関するradおよびrcodeが与えられたとすると、デコーダ41によってレジスタコードrcodeが解読され入力ラッチ44が選択される。又、リードアドレスradはデコーダで解読され、自己の内部すなわちファジイ結論メモリ20から得られる情報が、それとも外部すなわちセンサあるいは下位のFCから得られる情報が判定される。この判定結果に応じて外部入力インターフェイス45、ファジイ結論メモリインターフェイス46のいずれかが選択され、ファジイ変数 x に関するアドレス信号が出力される。

すなわち、radの所定ビットが“0”か“1”かによって、ファジィ結論メモリインターフェイス46か外部入力インターフェイス45かが選択される。結論メモリインターフェイス46が選択されたときには、ファジィ変数 $x$ に関するアドレス信号 $f_{mad}$ が結論メモリインターフェイス46から出力され、第8図の入力制御部インターフェイス225を介してファジィ結論メモリ20がアクセスされ、データがファジィ結論メモリ20から読出される。読出されたデータは、入力制御部インターフェイス225を介して信号 $f_{dat}$ として、ファジィ結論メモリインターフェイス46

10 に入力される。

一方、外部入力インターフェイス45が選択された時には、外部入力インターフェイス45はセンサ6または下位のFCの選択信号 $sensad$ を出す。選択されたセンサまたはFCは、状態信号またはファジィ推論結果を信号 $sdat$ として外部入力インターフェイス45に返送してくる。

ファジィ結論メモリインターフェイス46に入力されたデータまたは外部入力インターフェイス45に返送されたデータは、ライン47を介して $dx$ として入力ラッチ42にセットされる。以下 $y, z$ についても同様の処理がなされ入力ラッチ43, 44にはファジィ変数値 $dy, dz$ がセットされる。

次にこのファジィ変数値 $dx, dy, dz$ ともう一つの信号であるメンバーシップ関数とにより推論を実行する訳であるが、このメンバーシップ関数を発生する機構について説明する。

第10図に戻って、ファジィルールのメンバーシップ関数のラベルである $A, B, C, D$ はそれぞれラッチ回路35, 36, 37, 38にラッチ記憶されることは先述のとおりである。このようにしてラッチされたラベル $A, B, C, D$ は波形作成ユニット50へアドレスの一部として入力される。そして、波形作成ユニット50からは時間依存型のメンバーシップ関数を示す信号が出力されるが、これを以下に説明する。

この波形作成ユニット50は、先述のようにファジィメンバーシップ関数を発生するものである。通常このメンバーシップ関数は第12図に示すように、横軸にファジィ変数を取り、縦軸に所属度をとった連続関数で表現される。これに対し本ファジィコンピュータにおいてはメンバーシップ関数を発生するにあたって、第13図に示すようにファジィ変数 $x$ を離散的にとるとともに、各々の所属度を終点を同時としたパルスの長さ（パルス幅）で表現するようにしている。これを以下、メンバーシップ関数のPWM（Pulse Width Modulation）表現と呼ぶ。ここでは、パルスの終点を同時としているが、起点を同時にしてもよい。

以上の理解を前提に、第14図に詳細を示す波形作成ユニット50につき説明する。

波形作成ユニット50は、複数種類のメンバーシップ関数の関数波形を記憶するとともに一方の入力であるラベ

ル（ $A, B, C, D, \dots$ ）によって該当する関数が選定される波形メモリ51, 52, 53, 54と、選定された関数の読出しタイミングを制御するカウンタ55を中心に構成されている。

すなわち、波形メモリ51～54には、第13図に即して述べると、各格子に“0”“1”が割り当てられてPWM表現されたメンバーシップ関数がラベル順に複数個記憶されている。従って、ラベルでメンバーシップ関数が指定され、カウンタ55から、クロックをカウントして得られるカウント値が印加されると、第13図に示す $t_0, t_1, t_2, \dots$ の順番に波形メモリ51等はアクセスされ、第15図に示すような、パルス長さの長短で表現されたメンバーシップ関数がライン $h_0, h_1, h_2, \dots$ 上に出力される。

このようにしてファジィ変数値 $dx, dy, dz$ とメンバーシップ関数（ $m_A, m_B, m_C, m_D$ ）とがそろうことによりファジィ推論が実行される訳であるが、これを第16図にファジィ推論部14のブロック図にもとづき説明する。

ファジィ推論部14では、ファジィルールの前件部が処理される。すなわち、複数のライン $h_0, h_1, h_2, \dots$ （第15図参照）上にPWM表現された入力メンバーシップ関数（ $m_A, m_B, m_C$ ）はマルチプレクサ61, 62, 63にそれぞれ接続される。

このマルチプレクサ61, 62, 63の機能は、ファジィ変数 $dx, dy, dz$ の大きさに応じて、ライン $h_0, h_1, h_2, \dots$ のうちの一本を選んで、所属度 $ex, ey, ez$ を出力することである。このことは、公知・通常のファジィコンピュータにおいて、センサ等から入力される入力信号をメンバーシップ関数で評価して所属値を出力するのと等価である。唯、通常のファジィコンピュータが所属値を電圧、電流等電気信号の大小で表現するのに対し、本ファジィコンピュータではパルスの長短で表現することに特徴がある点で差異がある。

このようにパルス幅で表現された所属値 $ex, ey, ez$ は、min回路64でMIN演算がなされる。このmin回路64の実態は、第17図に示す単純なAND回路である。すなわち、本ファジィコンピュータにおいては、所属度 $ex, ey, ez$ はPWM表現されているのでAND回路で簡単に最短パルス幅のパルス（所属度）が選定され、MIN演算が行なわれ、出力 $g$ が出される。

このようにして前件部の処理が終了すると次に後件部の処理に移る。後件部の処理はトランケーション部65でなされる。

すなわち、トランケーション部65は、第18図に示すような並列配置されたAND回路群で構成され、各AND回路の一方の入力端には共通にmin回路64の出力端に接続され、最短のパルス幅信号である出力 $g$ が印加される。

トランケーション部65の他方の入力、後件部のメンバーシップ関数 $m_D$ 、この関数 $m_D$ は、前述のように、複数ライン $h_0, h_1, h_2, \dots$ 上にパルス幅の長短で表現されている。このようなパルス信号（ $g$ および $m_D$ ）が印加されることにより、トランケーション部65からは、両信号のう

ちよりパルス幅が短い方が選定され、出力mD が出力される。この出力mD は、mDと対応したn本のラインで表現される。このような処理は、通常ファジィコンピュータでいわゆる“頭切り”と呼ばれる処理と等価である。

このようにして前件部の処理および後件部の処理が終了すると、一つの処理が終了したことになる。従ってファジィコンピュータは次のルールを処理する状態に移る。このようにして、次々とルールを実行し、最終的に推論を完成するのであるが、次に、各ルールの実行結果の合成について説明する。

さて、前述のように、最初のルールの実行が終了すると、その実行結果であるmD は、C-max回路66およびn本のラインからなるバス67を介して、初期にはリセット状態のシフトレジスタ群68に読み込まれる。このシフトレジスタ群68は、前記ライン毎に設けられたn組のシフトレジスタで構成され、前述のPWM表現されたパルス幅信号を再現可能に記憶する。

C-max回路66はその詳細を第19図に示すように、2入力OR回路が前記ライン数に対応してn組並設されている。従って、最初のルールの実行後には、出力mD の各パルス信号がそのままシフトレジスタ群68に記憶される。

第2番目のルールの実行が終了すると、出力mD がC-max回路66に印加されるタイミングと同期して、シフトレジスタ群68から最初のルールによる実行結果が再生されて印加され、OR回路の作用により、n本のライン毎により長い方のパルス幅の信号が選定され、前回同様シフトレジスタ群68に記憶される。このような動作は、公知・通常ファジィコンピュータにおけるいわゆる“MAX演算”と等価である。

このようにして、各ルールの実行の終毎に、シフトレジスタ群68の中には、それまでに実行したルールの合成結果が、PWM表現の形で記憶されることになる。そして最終ルールの実行後には、最終的な推論結果が、シフトレジスタ群68中にPWM表現での再生可能な形で記憶される。

次に、このようにして得られた推論結果を確定値情報に変換する、いわゆるデファジファイ処理について説明する。

デファジファイ処理を行うデファジファイヤ69の詳細を第20図に示す。又、このデファジファイヤ69の動作を第21図のフローチャートに示す。

さて、全てのルールの実行が終了すると、シフトレジスタ群68(第16図)に格納された実行結果が、バス67を介して、デファジファイヤのn個のシフトレジスタ700~70n-1に各ライン毎に読み込まれる。この結果、これらの各シフトレジスタ70には、PWM表現された実行結果が転写された形で記憶される。この記憶状態を第22図に模式的に示す。

これらのシフトレジスタ70は前述のように直列モードでデータを読み込むとともに、出力としては並列信号を出すもので、この並列信号により、前述のPWM表現された実行結果；すなわち第22図に限っていえば波形73の高さを出力する。

本ファジィコンピュータにおいては第22図の前記波形73を、その左右において面積を2等分する点(ないし線)74を確定値とすることによりデファジファイする。そして、このデファジファイ処理を前もって概説すると、第22図において、左からa方向に波形高さを加算(積算)して波形の左側の部分面積を順次求めていく。同様に、右からb方向に波形の右側の部分面積を求めて行く。そして、各部分面積を比較し、両者が一致するか検出する。一致しない場合は、少ない方について前記加算をし、この加算した結果について前記比較を行なう。このように加算(積算)・比較を繰返すことにより、最終的にはデファジファイ出力74を得る。

さて、最初左右のカウンタ75,76は「0」および「n-1」にそれぞれプリセットされ、最左端のシフトレジスタ700および最右端のシフトレジスタ70n-1が指定(アドレス)される。これとともにアキュムレータ77,78はリセットされる。この結果、リードコントローラ71を介して最左端のシフトレジスタ700がアドレスされ、そのデータf(0)がデータバス79に出力される。この出力されたデータはアキュムレータ77の内容と加算され、その結果がアキュムレータ77に格納される。

次に、リードコントローラ72を介して最右端のシフトレジスタ70n-1がアドレスされ、そのデータf(n-1)がデータバス79に出力される。この出力されたデータはアキュムレータ78の内容と加算され、その結果がアキュムレータ78に格納される。

すると、比較器300がアキュムレータ77の値1とアキュムレータ78の値rとを比較する。比較器300は、1<rのときはアキュムレーションコントローラ301を駆動し、1>rのときはアキュムレーションコントローラ302を駆動する。アキュムレーションコントローラ301,302は、駆動されると、それぞれアップカウンタ75,ダウンカウンタ76にイネーブル信号を与える。

アップカウンタ75は、イネーブル信号を受信すると、記憶値aに「1」を加算し、リードコントローラ71を駆動する。リードコントローラ71は、アップカウンタ75の値aに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキュムレータ77に加算される。

ダウンカウンタ76は、イネーブル信号を受信すると、記憶値bから「1」を減算し、リードコントローラ72を駆動する。リードコントローラ72は、ダウンカウンタ76の値bに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキュムレータ78に加算される。

以下、同様にして、アキュムレーションコントローラ 301, カウンタ75, リードコントローラ71, アキュムレータ 77の組、または、アキュムレーションコントローラ302, カウンタ76, リードコントローラ72, アキュムレータ78の組のいずれか一方が比較器300によって選択されて駆動される。

以上の動作を繰り返していくと、カウンタ75, 76の出力を受ける比較器303は、カウンタ75の値がカウンタ76の値以上になったことを検出して、ゲート305を開くようになる。ゲート305が開かれると、カウンタ76の記憶データが確定値drとして出力される。ゲート305が開かれるとき、アキュムレータ77の累積値とアキュムレータ78の累積値とが誤差の範囲で近似的に等しくなっている。

確定値すなわち推論の結論値drは、第8図の書き込みインターフェイス部224を介して、ファジィ結論メモリ20に記憶する。このときのアドレスは、MPU1から与えられてrラッチ回路31に記憶されているものが使用される。

ファジィ結論メモリ20に記憶された確定値は、以後同じデファジファイ出力の要求があったとき、ファジィ結論メモリ20から結論メモリデータレジスタ25を介して結論データレジスタ251に読出されて使用される(第23図参照)。または、以後の推論の前件部に、ファジィ結論メモリ20に記憶している値が変数として現れたとき、その値が前件部の推論を行なうために用いられる(第24図)。

< 効果 >

以上のように、本発明によれば、上位から与えられた質問(命題)を回答すべく推論処理するに際し、そのファジィコンピュータが有する知識を用いて自動的に質問を関連する質問にブレイクダウンしていき、センサや下位のファジィコンピュータに再質問を送ることができる。これにより、高度で抽象的な質問に対しても適確な回答を与えることになり、高度な情報処理が行われる。

そして、各ファジィコンピュータでは、デファジファイ出力の要求に応じたルールを用いることができ、推論の自由度が増し、汎用性に富むファジィコンピュータが得られる。そして、デファジファイ出力の要求を達成す

るために別の推論結果を入力して所定の推論を行うこともできる。そして、別の推論を行う下位のファジィコンピュータの出力の信号形態とセンサ出力の信号形態を等価にしておけば、両者を混在状態にしても情報を与えた装置が何であるかを気にすることなく与えられたファジィコンピュータでは推論処理を行うことができる。

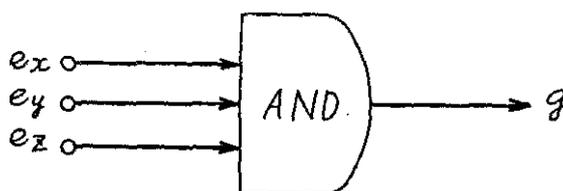
【図面の簡単な説明】

第1図は多段階ファジィ推論のためのシステム構成図で、第2図は推論処理の一例を示す処理概略図である。第3図はファジィコンピュータのブロック図で、第4図は、ファジィルールメモリを示すメモリマップで、第5図はルールコントローラのブロック図で、第6図はファジィルールメモリとルールコントロールメモリのメモリ上の関係を示す図である。第7図は結論メモリコントローラのブロック図で、第8図はファジィ結論メモリ部のブロック図で、第9図はファジィ結論メモリの構造を示すメモリマップである。第10図はファジィルールレジスタ部のブロック図で、第11図は入力制御部のブロック図である。第12図はメンバーシップ関数を示す図で、第13図はメンバーシップ関数をライン毎に分解した図で、第14図は波形作成ユニットのブロック図で、第15図はメンバーシップ関数の波形図である。第16図はファジィ推論部のブロック図で、第17図はMIN回路の構成図で、第18図はトラクション部の構成図で、第19図はコレスポンデンス・マックス回路(C-MAX回路)の構成図で、第20図はデファジファイのブロック図で、第21図はデファジファイの処理を示すフローチャートで、第22図は推論結果を示す模式図である。第23図は過去と同じ推論を行なう場合の例を示す図で、第24図は過去の結果を前件部の推論に使う場合の例を示す図である。第23図および第24図における(イ)は過去の推論を示し、(ロ)は今回の推論を示す。

- 1: MPU, 2~5: ファジィコンピュータ, 6: センサ, 9: ファジィルールメモリ,
- 10: ルールコントローラ,
- 13: ファジィ結論メモリ部,
- 14: ファジィ推論部,
- 15: 結論メモリコントローラ

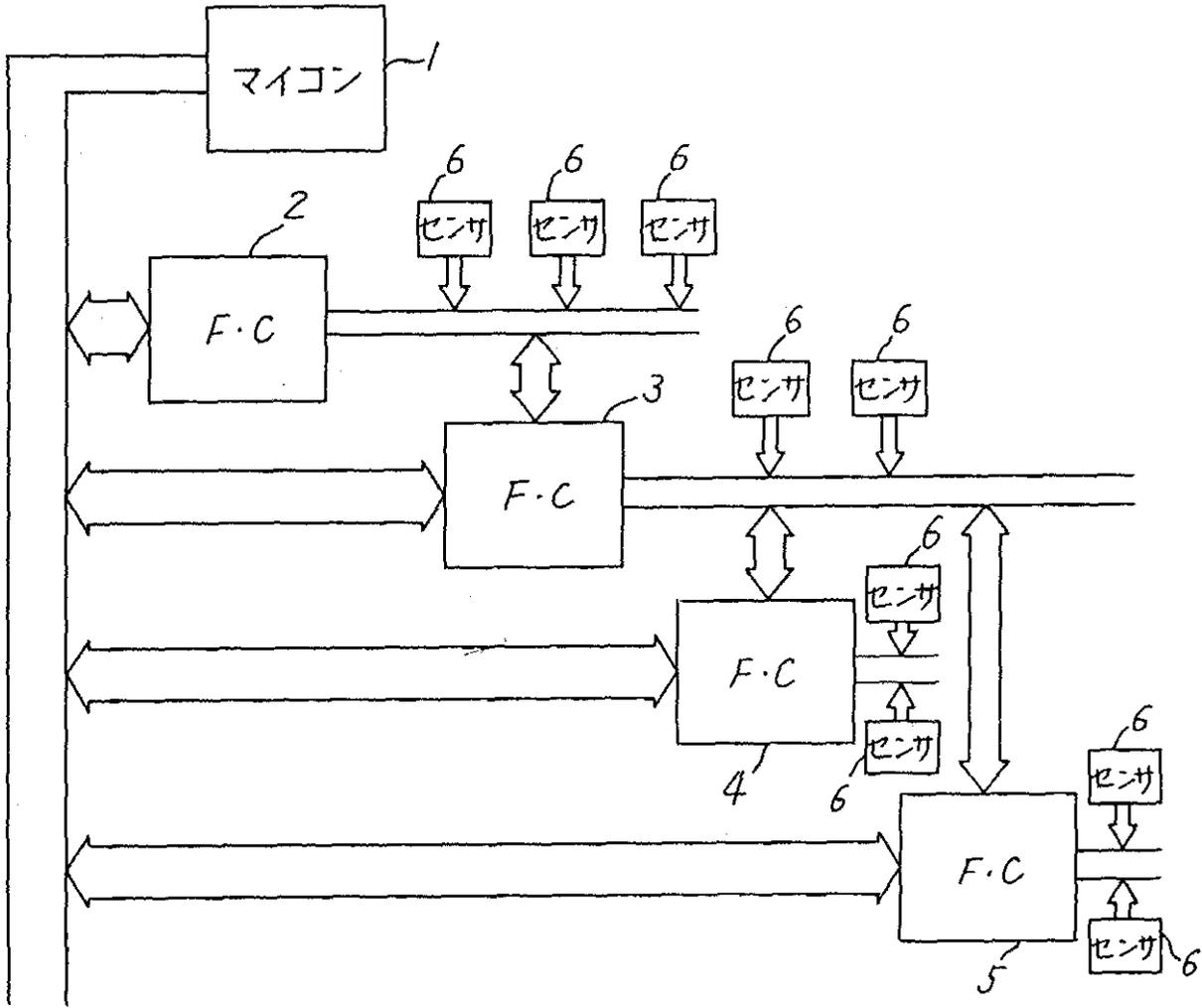
【第17図】

min 回路



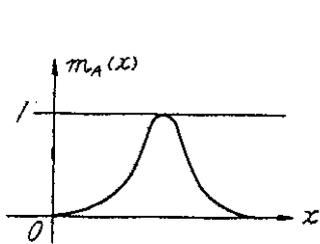
【第1図】

システム構成図



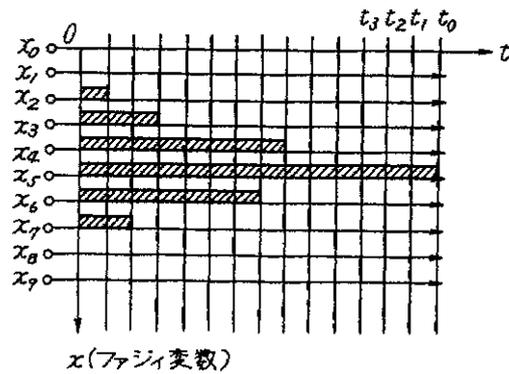
【第12図】

メンバシップ関数



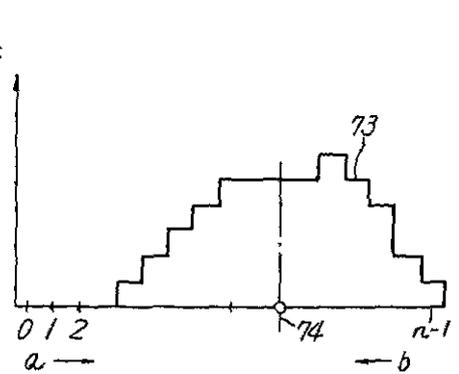
【第13図】

メンバシップ関数



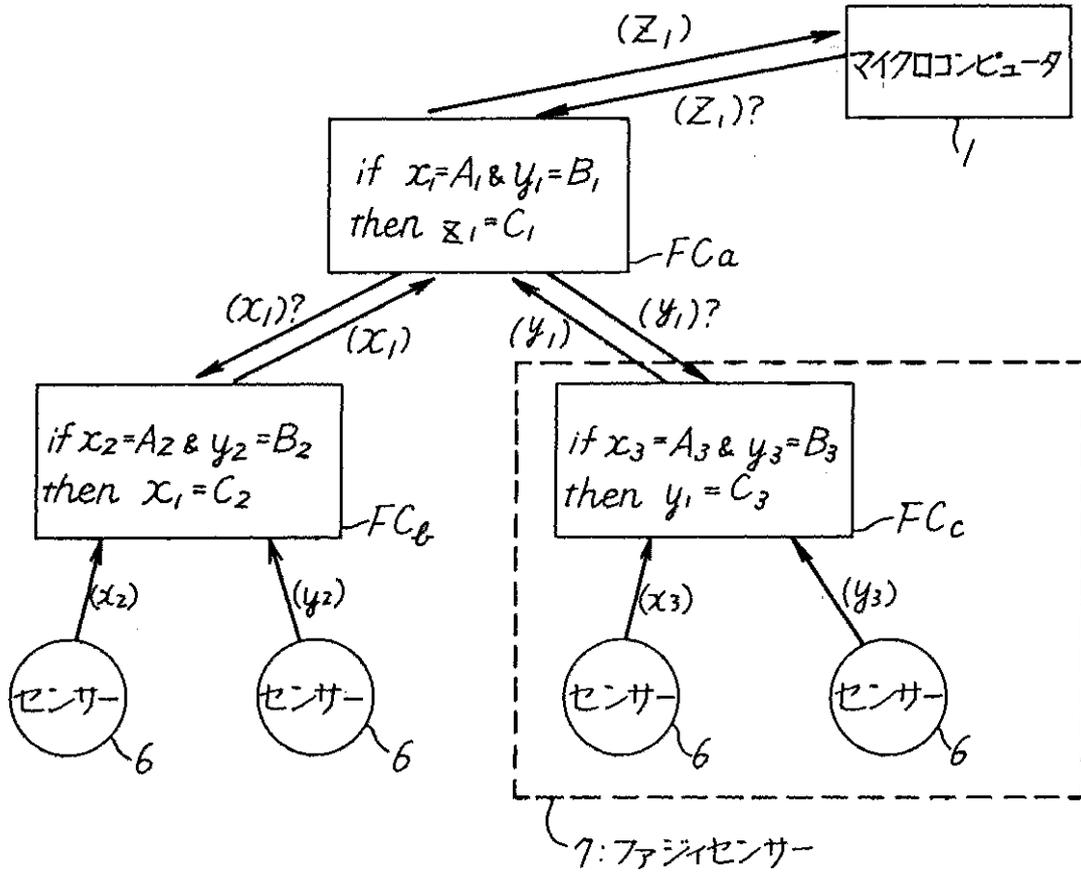
【第22図】

推論結果を示す模式図



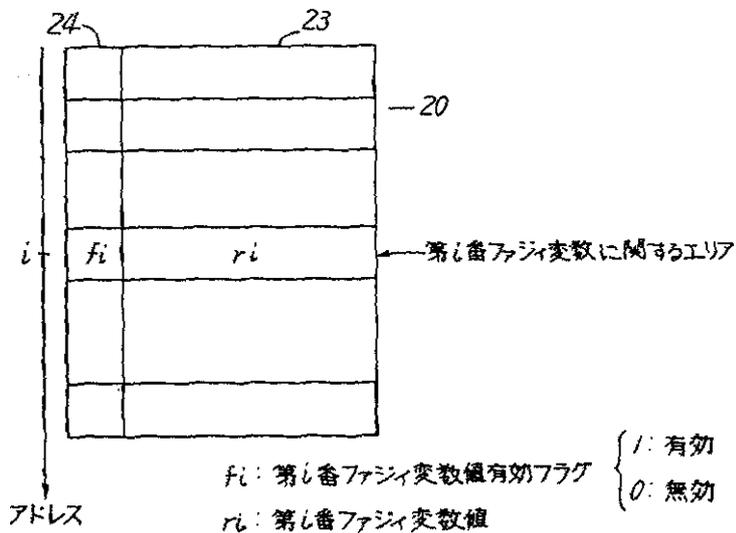
【第2図】

処理概略図



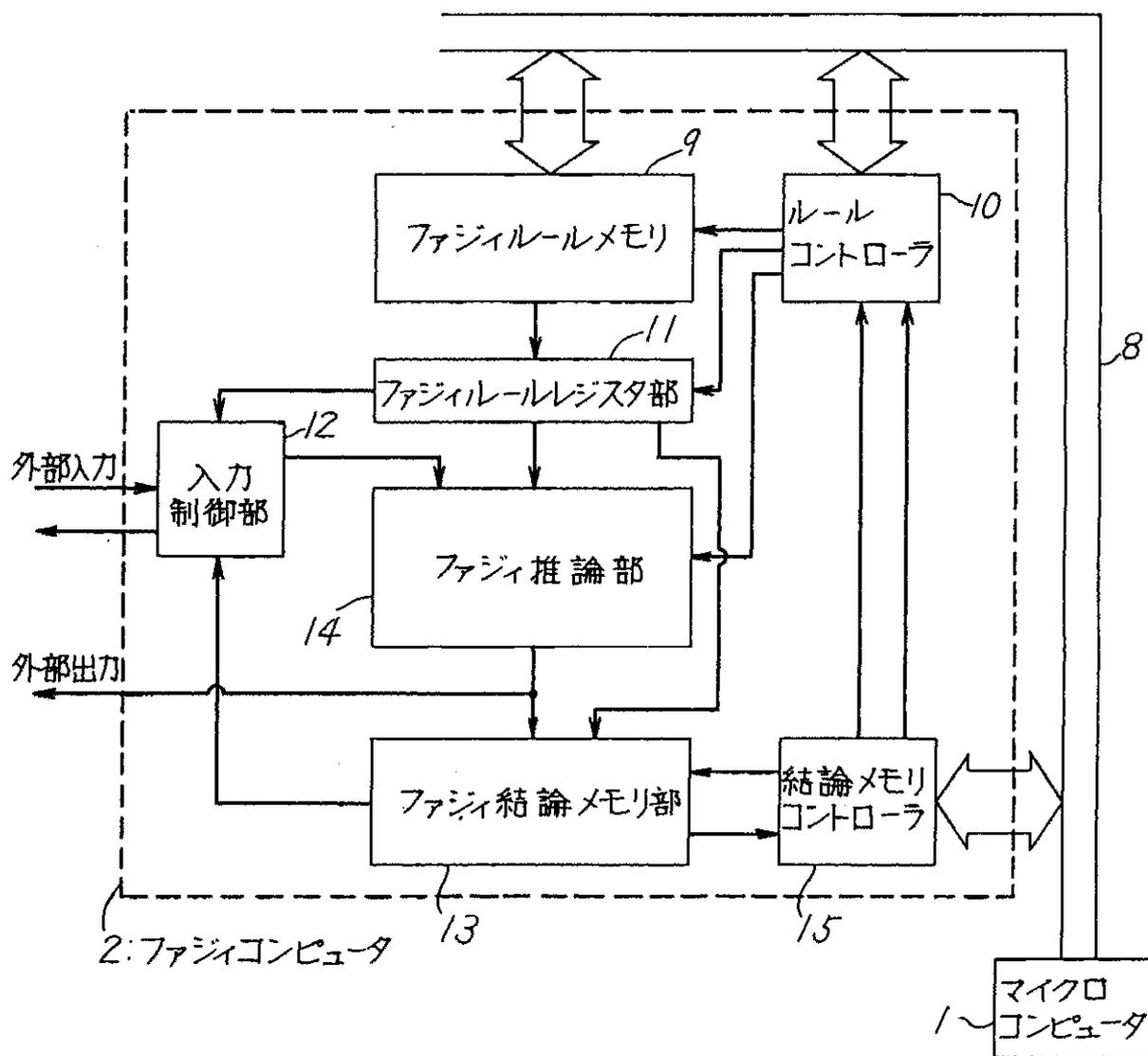
【第9図】

ファジィ結論メモリの構造



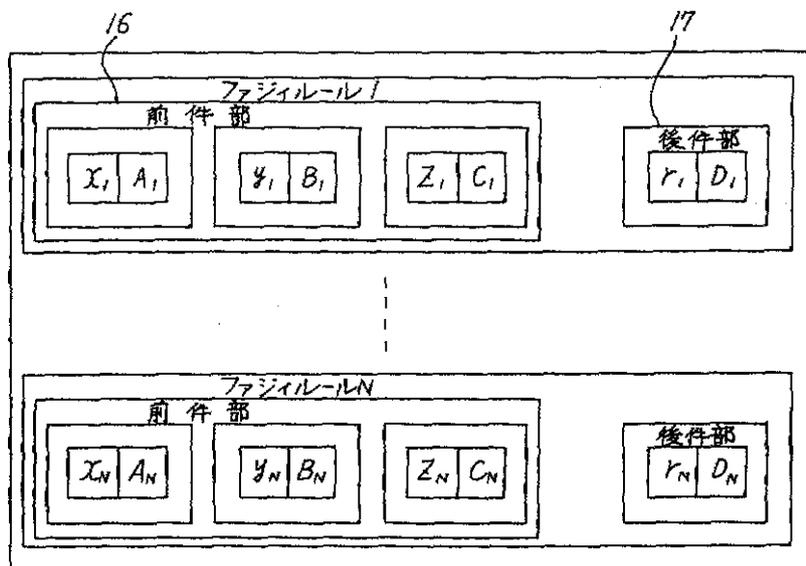
【第3図】

ファジィコンピュータのブロック図



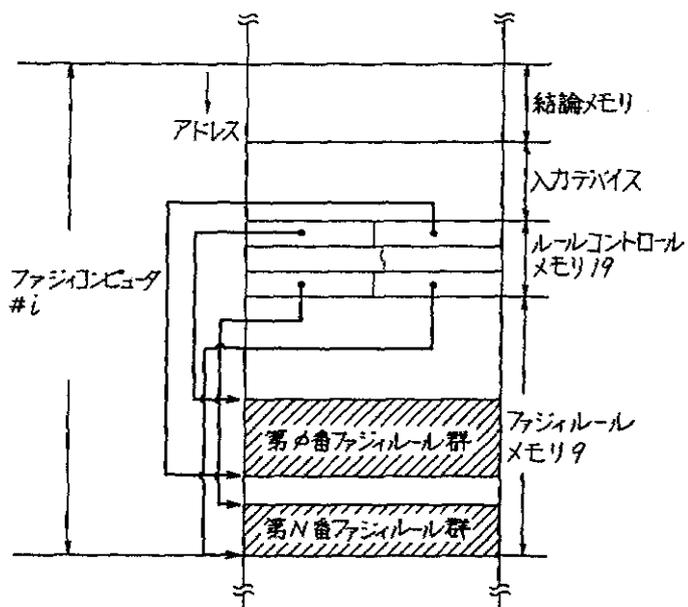
【第4図】

ファジイルールメモリ



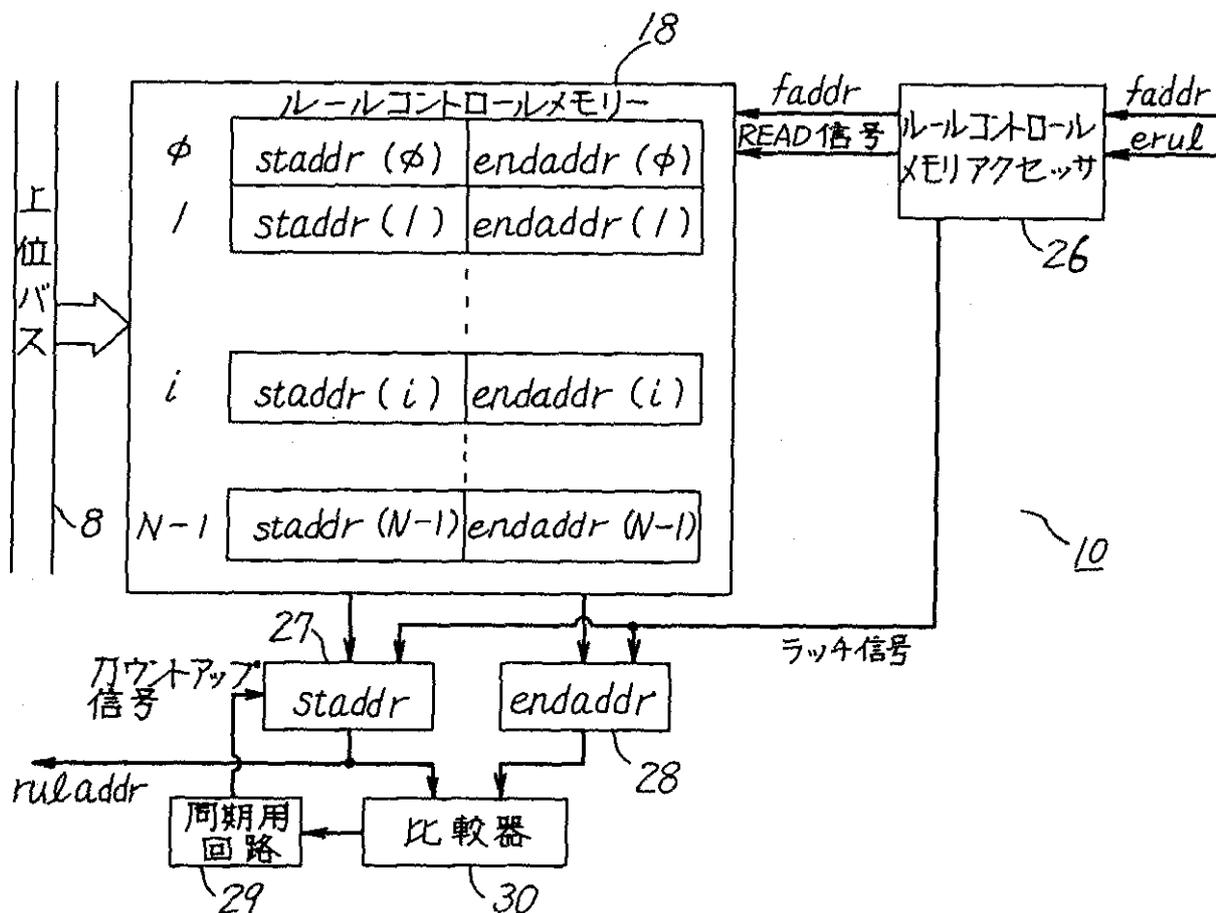
【第6図】

ファジイルールメモリとルールコントロール  
メモリのメモリ上の関係を示す図



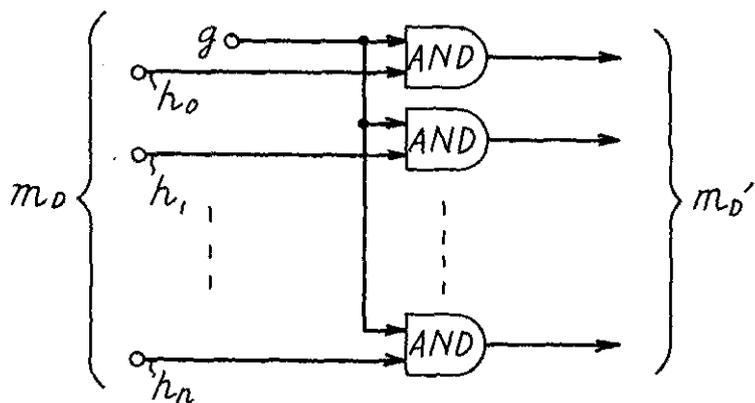
【第5図】

ルールコントローラのブロック図



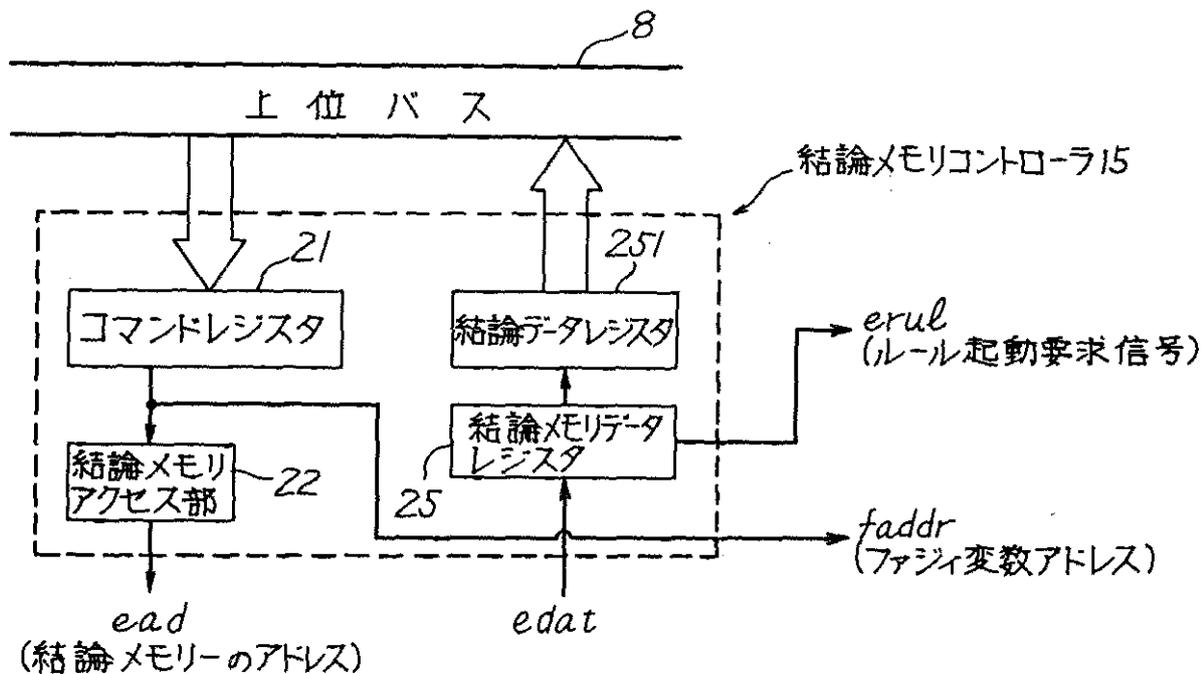
【第18図】

トランケーション部



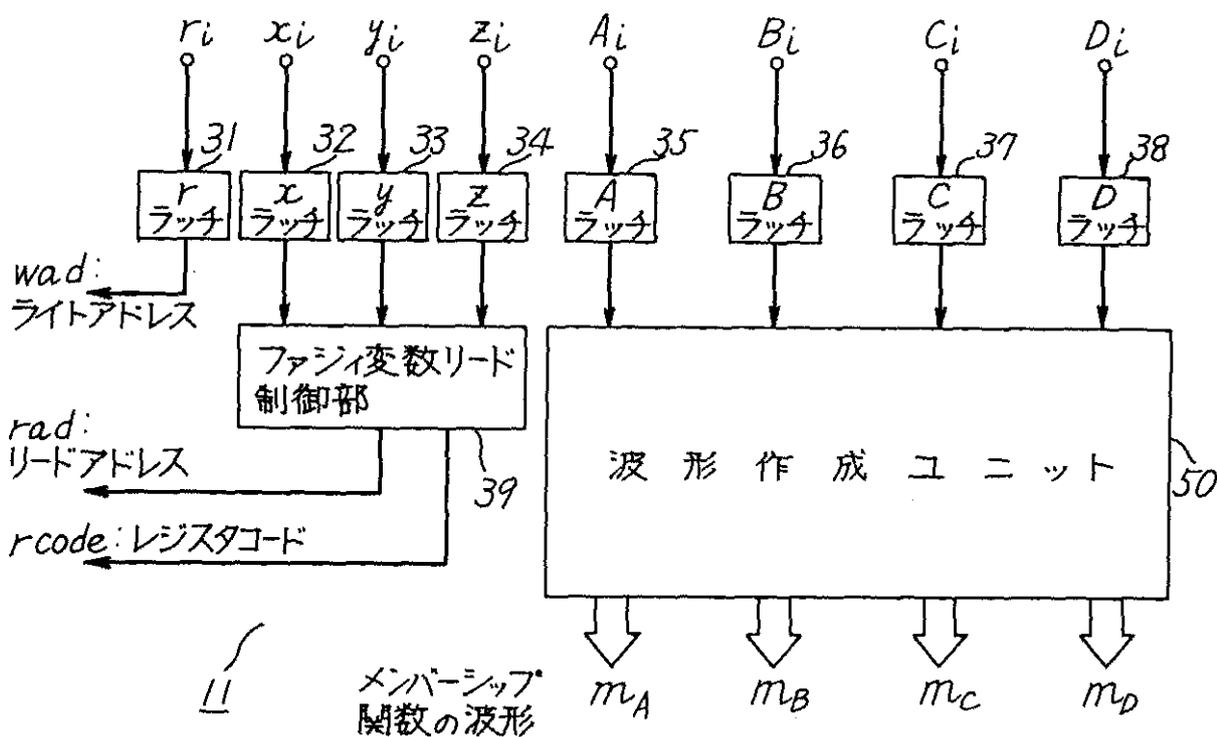
【第7図】

結論メモリコントローラ



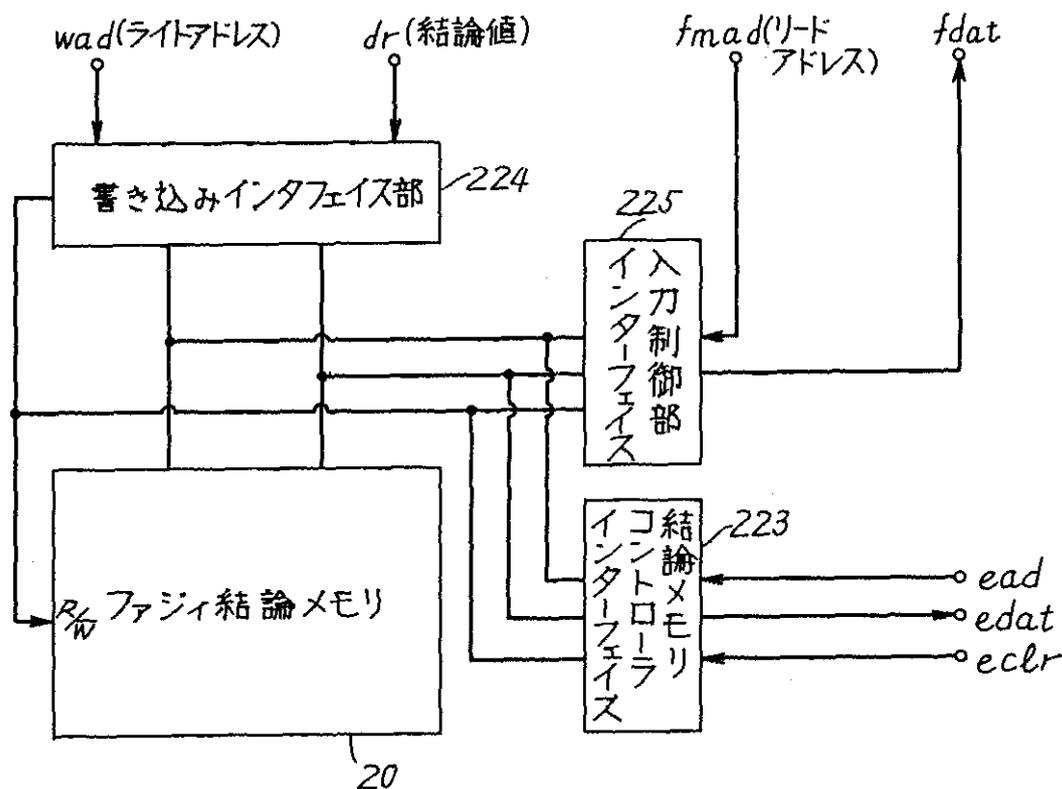
【第10図】

ファジィルールレジスタ部



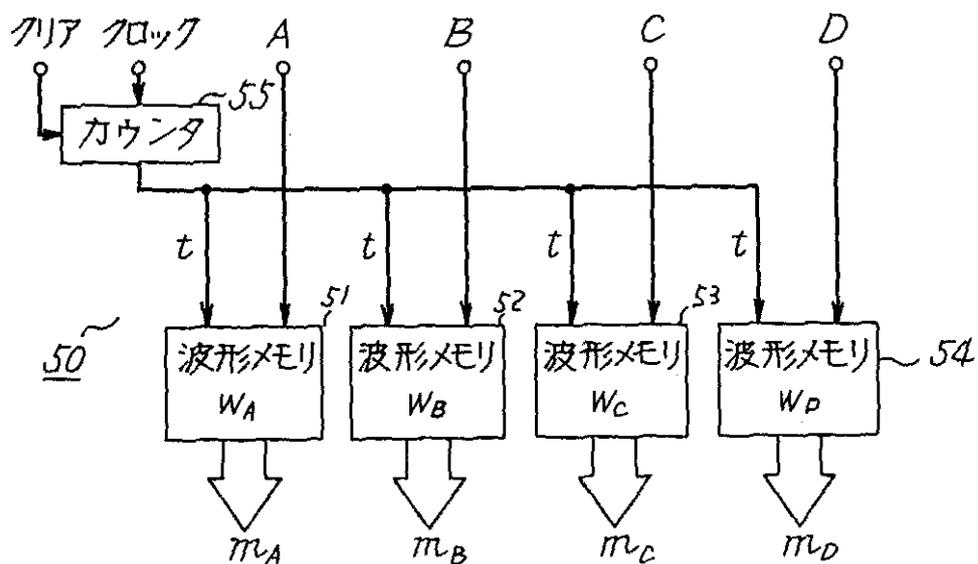
【第8図】

ファジィ結論メモリ部



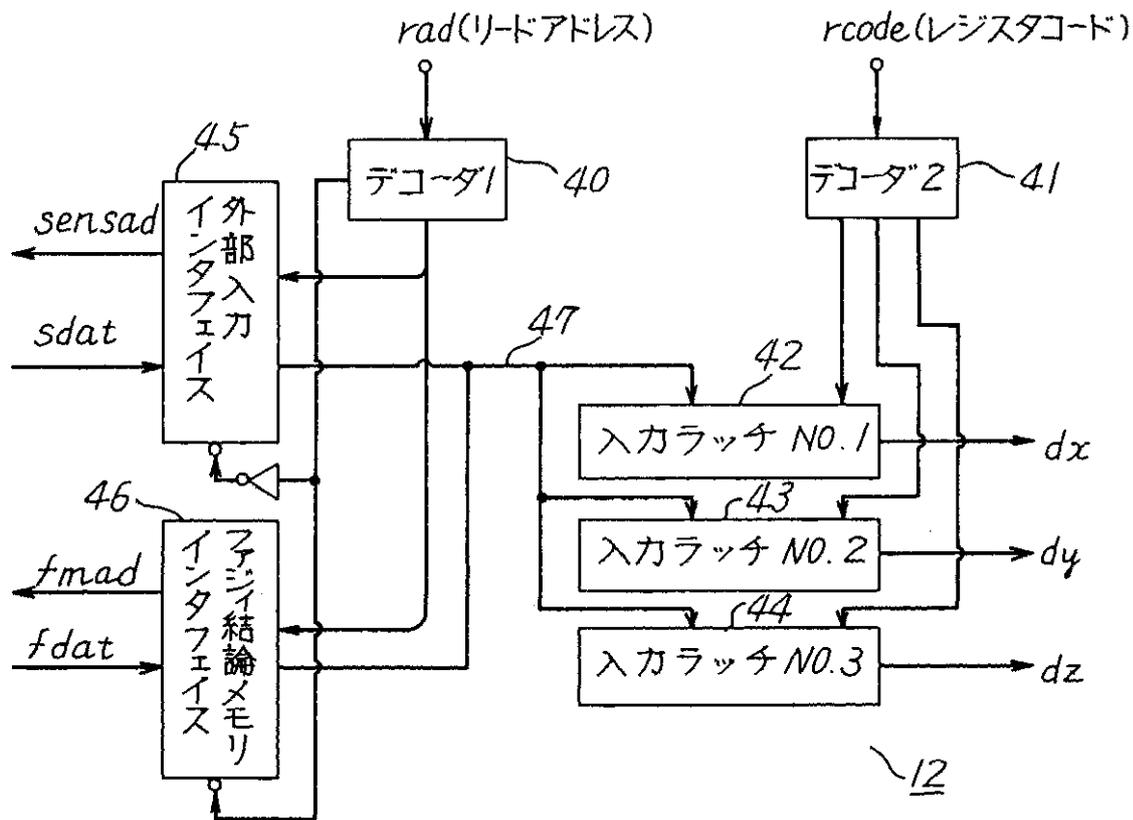
【第14図】

波形作成ユニット



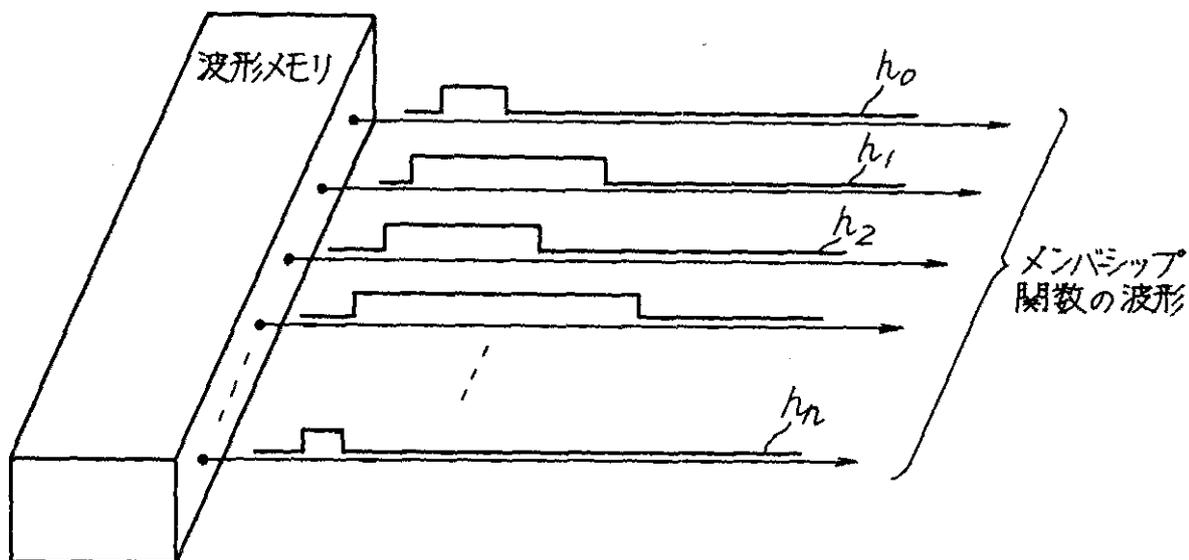
【第11図】

入力制御部



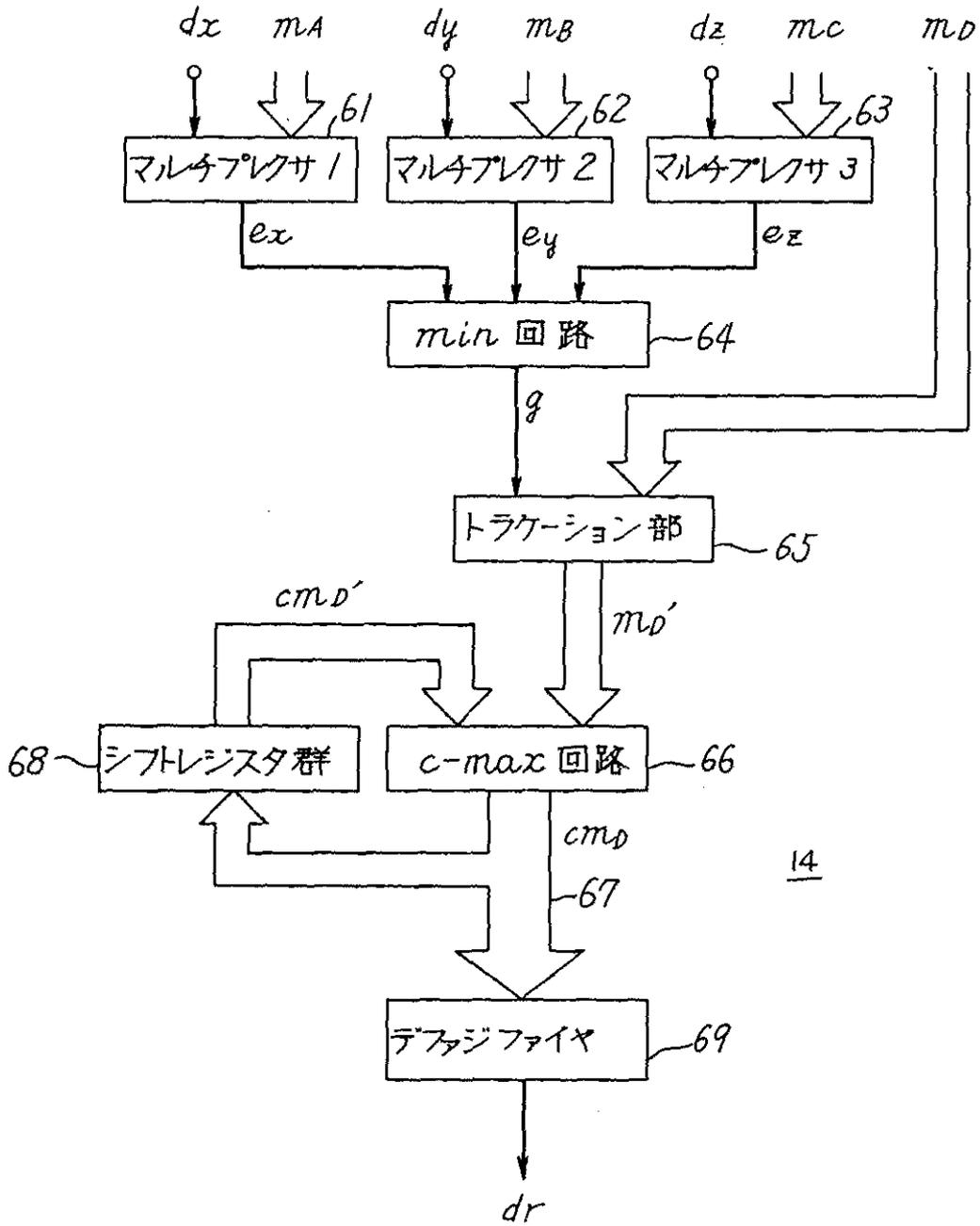
【第15図】

メンバーシップ関数の波形図



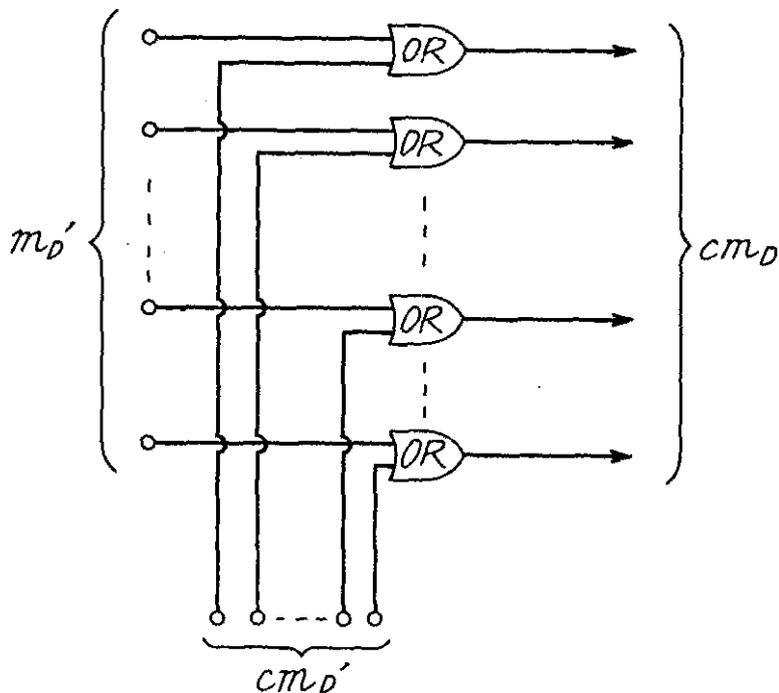
【第16図】

ファジィ推論部



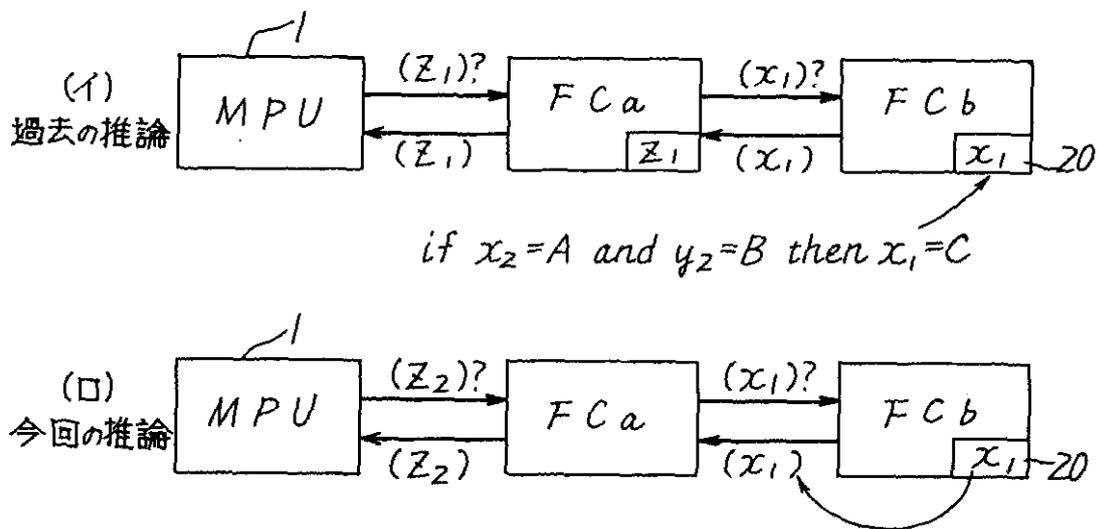
【第19図】

c-max 回路



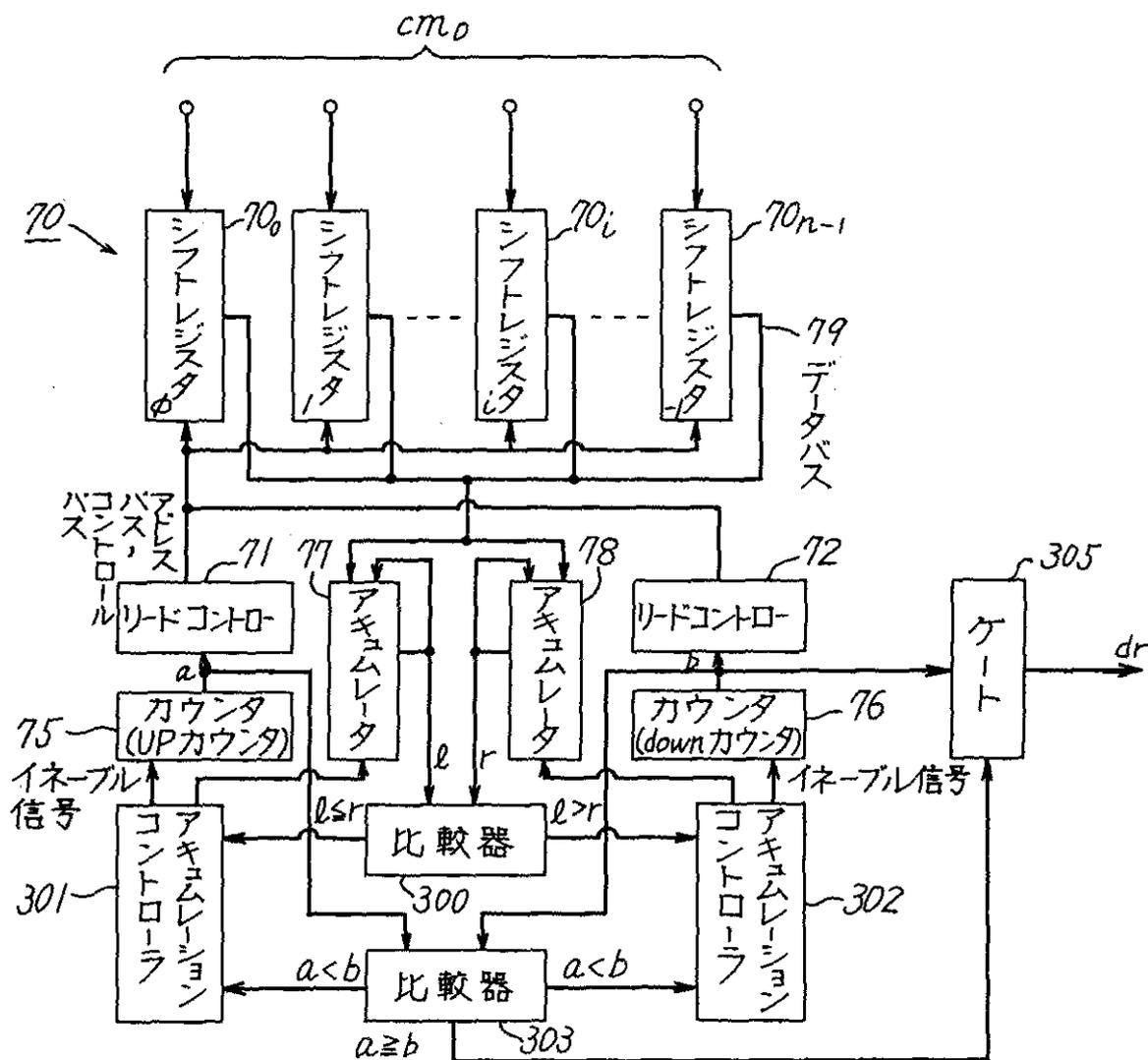
【第23図】

過去と同じ推論を行なう例(x1)



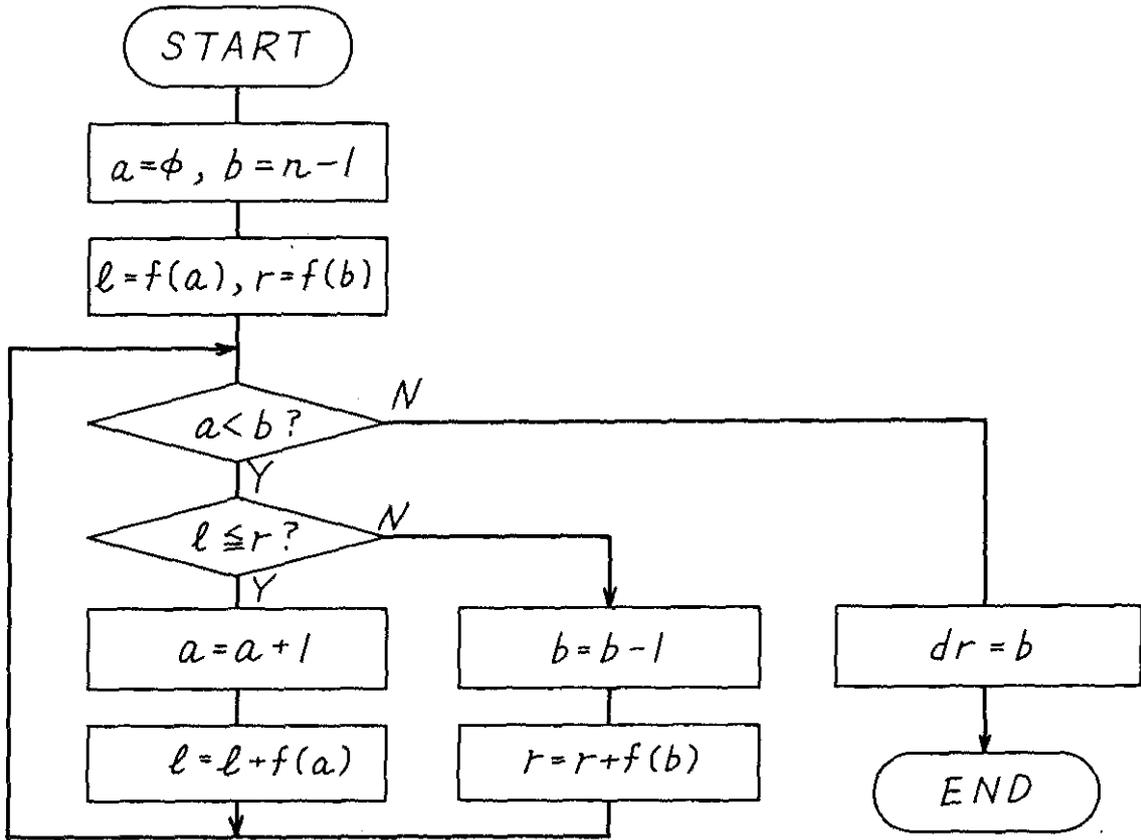
【第20図】

デファジファイヤ



【第21図】

デファジファイヤの処理フロー



a: カウンタ1の出力  
b: カウンタ2の出力  
l: アキュムレータ1の出力  
r: アキュムレータ2の出力

【第24図】

過去の結果を前件部の推論に使う例 (Z1)

