

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3055902号  
(P3055902)

(45)発行日 平成12年6月26日(2000.6.26)

(24)登録日 平成12年4月14日(2000.4.14)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

G 0 6 F 9/44

5 5 4

G 0 6 F 9/44

5 5 4 J

G 0 5 B 13/00

G 0 5 B 13/00

Z

請求項の数4(全7頁)

(21)出願番号 特願昭63-248665

(22)出願日 昭和63年9月30日(1988.9.30)

(65)公開番号 特開平2-96239

(43)公開日 平成2年4月9日(1990.4.9)

審査請求日 平成5年6月29日(1993.6.29)

審判番号 平8-14033

審判請求日 平成8年8月22日(1996.8.22)

(73)特許権者 999999999

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72)発明者 久野 敦司

京都府京都市右京区花園土堂町10番地

立石電機株式会社内

(74)代理人 999999999

弁理士 松井 伸一

合議体

審判長 金子 幸一

審判官 大橋 隆夫

審判官 内藤 照雄

(56)参考文献 数理科学, Vol. 25, No. 2,  
1987, P. 55~62

最終頁に続く

(54)【発明の名称】 ファジィ推論装置のモニタ装置

1

(57)【特許請求の範囲】

【請求項1】複数のファジィルールを用いてファジィ推論を時系列的に繰り返し実行するファジィ推論装置をモニタするファジィ推論装置のモニタ装置において、前記ファジィ推論装置の推論出力に最も大きな影響を与えたルールを検出して、その検出結果を出力するルール出力手段と、前記ファジィ推論装置の推論出力に基づいた操作量によって制御されている制御対象の状態に関する目標値と現在値との相違の度合を示す値の入力を受けて、前記ファジィ推論出力の評価信号を出力する評価信号出力手段とを備え、前記ルール出力手段によって出力されたルールと、前記評価信号出力手段にて出力された評価信号の両者を関連付けて出力する出力装置とを備えたことを特徴とするフ

2

ファジィ推論装置のモニタ装置。

【請求項2】前記出力装置は、表示装置であることを特徴とする特許請求の範囲第1項に記載のファジィ推論装置のモニタ装置。

【請求項3】前記出力装置は、プリンタであることを特徴とする特許請求の範囲第1項に記載のファジィ推論装置のモニタ装置。

【請求項4】前記ファジィ推論装置が、複数のファジィルールを処理するルール処理部と、そのルール処理部の出力を受け、所定の推論処理を行う手段とから構成され、

前記ルール出力手段が、前記ルール処理部の各出力と前記ファジィ推論装置の出力とを受け、そのファジィ推論装置の出力に最も大きな影響を与えたルールを検出し出力するものであることを特徴とする特許請求の範囲第1

10

項に記載のファジィ推論装置のモニタ装置。

【発明の詳細な説明】

<産業上の利用分野>

この発明は、ファジィコンピュータやファジィコントローラに用いられるファジィ推論装置をモニタするモニタ装置に関する。

<従来の技術>

従来のファジィ推論装置のモニタ装置としては、ファジィ推論の結果得られるメンバーシップ関数をモニタするものがある。この種のモニタ装置によれば、推論結果が監視者に表示される程度にとどまっていたため、ルール作成者やファジィ推論装置の調整者にとってまだ不便なものであった。

<発明が解決しようとする課題>

この発明は、モニタ装置の機能を向上し、ルール作成者やファジィ推論装置の調整者にとって便利なファジィ推論装置のモニタ装置を提供することを目的とする。

<課題を解決するための手段>

上記した目的を達成するため、本発明に係るファジィ推論装置のモニタ装置では、複数のファジィルールを用いてファジィ推論を時系列的に繰り返し実行するファジィ推論装置をモニタするファジィ推論装置のモニタ装置において、前記ファジィ推論装置の推論出力に最も大きな影響を与えたルールを検出して、その検出結果を出力するルール出力手段（実施例では、「ドミナントルール検出部41」に相当）と、前記ファジィ推論装置の推論出力に基づいた操作量によって制御されている制御対象の状態に関する目標値と現在値との相違の割合を示す値（実施例では、「偏差値S」に相当）の入力を受けて、前記ファジィ推論出力の評価信号を出力する評価信号出力手段（実施例では、「推論結果評価部42」に相当）とを備え、前記ルール出力手段によって出力されたルールと、前記評価信号出力手段にて出力された評価信号の両者を関連付けて出力する出力装置とを備えて構成した（請求項1）。

さらに出力装置は、表示装置であっても良いし（請求項2）、プリンタであってもよいし（請求項3）、その他のもの（たとえば、音声出力装置）であってもよい。また、前記ファジィ推論装置は、例えば複数のファジィルールを処理するルール処理部と、そのルール処理部の出力を受け、所定の推論処理を行う手段とから構成され、前記ルール出力手段が、前記ルール処理部の各出力と前記ファジィ推論装置の出力とを受け、そのファジィ推論装置の出力に最も大きな影響を与えたルールを検出し出力するものを用いることができる（請求項4）。

<作用>

ファジィ推論装置に所定の入力を与え、そこにおいて複数のファジィルールに基づいてファジィ推論を実行する。この時、第1の出力手段（実施例では、ドミナントルール検出部41に相当）により推論結果を決定するに際

し最も影響を与えたルールを検出し、それを出力装置に与える。出力装置では、その検出結果を人が関知できる形態で出力する。すると、どのルールが推論結果に影響を与えているかを知ることができ、例えばそれに基づいて調整処理をすることになる。

そして、具体的上記ルールを検出する手法の一例を示すと、特許請求の範囲第4項に規定した装置を用い、まずルール処理部の各出力とファジィ推論装置の出力とをルール出力手段に入力する。するとルール出力手段は、ファジィ推論装置の出力に最も大きな影響を与えるルールがどれであるかを検出する。そしての検出したルールを出力装置に出力することになる。

特許請求の範囲第1項の場合には、評価信号出力手段を設けたため、上記作用と共に、前記ファジィ推論装置の推論出力に基づいた操作量によって制御されている制御対象の状態に関する目標値と現在値との相違の割合を示す値が評価信号出力手段に入力される。すると、評価信号出力手段は推論結果の良否を判断してその判断結果を出力装置に与える。出力装置は、ルール出力手段の検出結果と推論結果の良否とを、その対応付けをして出力する。すると、推論結果が良い場合には、出力装置を介して出力されたファジィルールは、良いルールで、また推論結果が悪い場合には、出力されたファジィルールは悪いルールであることを知ることができ、推論装置に対する調整処理がより容易に行われる。

<実施例>

第1図は、ファジィ推論装置およびそのモニタ装置の電気回路のブロック図である、R1,R2,R3は、端子Iに生じた制御対象の状態信号を入力し、設定されたルールに従って推論を行ない、その結果を頭部が削除（頭切り）されたメンバーシップ関数の形で出力するルール処理部である。1は、ルール処理部R1~R3の出力を入力し、対応するライン毎の最大値を出力するコレスポンディング・マックス回路（C・MAX回路）である。2は、C・MAX回路1の出力を入力してデファジファイするデファジファイヤである。デファジファイヤ2は、デファジファイした結果、すなわち確定値 $e^*$ を出力する。デファジファイのしかたは、入力されたメンバーシップ関数の重心を求めることが一般的であるが、重心に限らず、ピークや左右等しい面積となる入力値を求める等の種々のものがある。この実施例では、ルール処理部R1~R3,C・MAX回路1、およびデファジファイヤ2からなる回路により、ファジィ推論装置が構成されている。

3は、モニタ回路装置4,ディスプレイ5,レコーダ6からなるモニタ装置である。モニタ回路装置4は、ルール処理部R1~R3の出力メンバーシップ関数B1~B3デファジファイヤ2の出力すなわち確定値 $e^*$ および偏差値Sを入力し、後述するように出力を表示装置の一例であるディスプレイ5に与えて表示させ、レコーダ6に与えてデータを記録させる。偏差値Sは、制御対象の状態の目標

値と端子 I に生じた制御対象の状態信号との差の絶対値である。

第 2 図は、モニタ回路装置 4 のブロック図である。モニタ回路装置 4 は、ドミナントルール検出部 41 と推論結果評価部 42 と出力インターフェイス 43 とからなる。ドミナントルール検出部 41 は、後述するように、確定値  $e^*$  およびメンバーシップ関数  $B1 \sim B3$  を入力し、確定値  $e^*$  に最も大きな影響を与えたルール処理部  $R1 \sim R3$  のうちのどれであるかを検出し、該当するルール番号すなわちドミナントルール番号を出力する。推論結果評価部 42 は、偏差値  $S$  を入力し、偏差値  $S$  の絶対値を絶対値回路（図示せず）により生成し、その値を抵抗 421 およびコンデンサ 422 によって積分し、2 値化回路 423 でレベル弁別し、評価信号  $q$  を出す。評価信号  $q$  がハイレベル  $H$  のときは、ドミナントルールは推論結果の確定値  $e^*$  に悪影響を与えている。表記信号  $q$  がローレベル  $L$  のときは、ドミナントルールは推論結果に良い影響を与えている。出力インターフェイス 43 は、確定値  $e^*$ 、評価信号  $q$ 、ドミナントルール番号  $n$  を入出力する。

第 3 図は、ドミナントルール検出部 41 のブロック図である。ドミナントルール検出部 41 には、デファジファイヤ 2 からの確定値  $e^*$  が入力され、A/D 変換器 411 によってデジタル量に変換される。この値はラッチ回路 412 によってラッチされる。ラッチ回路 412 の出力  $eA$  は、各アナログマルチプレクサ 413, 414, 415 の入力となるメンバーシップ関数  $B1, B2, B3$  を構成する信号ラインの中から、それぞれ 1 本の信号ラインを指定する。各アナログマルチプレクサ 413, 414, 415 は、 $eA$  によって指定された番号の信号ラインを、メンバーシップ関数  $B1, B2, B3$  を構成する信号ライン  $B11 \sim B1N, B21 \sim B2N, B31 \sim B3N$  の中から選択して、それぞれ  $b1, b2, b3$  として出力する。 $b1, b2, b3$  上には、メンバーシップ関数  $B1, B2, B3$  の値  $e^*$  におけるメンバーシップ値を表わす電圧信号が乗っている。メンバーシップ値をあらわすアナログ信号  $b1, b2, b3$  は、それぞれ A/D 変換器 416, 417, 418 に入力されて、デジタル信号  $d1, d2, d3$  に変換され、最大位置検出部 419 に入力される。最大位置検出部 419 では、次の演算によってドミナントルール番号  $n$  を生成して出力インターフェイス 43 へ出力する。

$$n = \begin{cases} 1 : d1 \geq \max(d2, d3) \\ 2 : d2 > \max(d1, d3) \\ 3 : d3 > \max(d1, d2) \end{cases}$$

40

第 4 図は、第 1 図のディスプレイ 5 による表示例を示す。第 2 図の出力インターフェイス 43 を介して第 1 図のディスプレイ 5 に確定値  $e^*$ 、評価信号  $q$ 、ドミナントルール番号  $n$  が与えられる。この結果、ディスプレイ 5 は、第 4 図のようなデータの表示を行なう。横軸は時間  $t$ 、縦軸は確定値  $e^*$  を示すグラフが下方に示されている。上方には、ルール 1 ~ 3 に対して、ドミナントルールの位置にそのドミナントルールの良否が表示されている。たとえば、時刻  $t0$  におけるドミナントルールはルール処理部  $R1$  のルール 1 であって、そのルールは確定値  $e^*$  に良い影響を与えていることが示されている。また、時刻  $tn$  におけるドミナントルールはルール 3 であって、そのルールは推論結果  $e^*$  に悪い影響を与えていることが示されている。

<効果>

以上のように、本発明に係るファジィ推論装置のモニタ装置によれば、所定の入力に対してファジィ推論を実行して得られた推論結果に最も影響を与えたファジィルールが出力されるため、それに基づいてルールの作成やファジィ論装置の調整（デバッグが容易に行えることになる）。

しかも、評価信号出力手段を設け、その出力装置に出力するに際し上記ファジィルールと共に推論結果の良否も出力するようにしたので、上記したどのルールが推論結果に最も影響を与えているかに加えて、その推論結果の良否も出力されるので、推論結果に最も影響を与えているルールが良い影響を与えているのか悪い影響を与えているのかがわかり、ファジィ推論装置の調整がより容易にかつ速やかに行うことができる。

【図面の簡単な説明】

第 1 図はファジィ推論装置およびそのモニタ装置の電気回路のブロック図で、第 2 図は第 1 図に示すモニタ回路装置のブロック図で、第 3 図は第 2 図に示すドミナントルール検出部のブロック図で、第 4 図は第 1 図に示すディスプレイによる表示例を示す。

3: モニタ装置

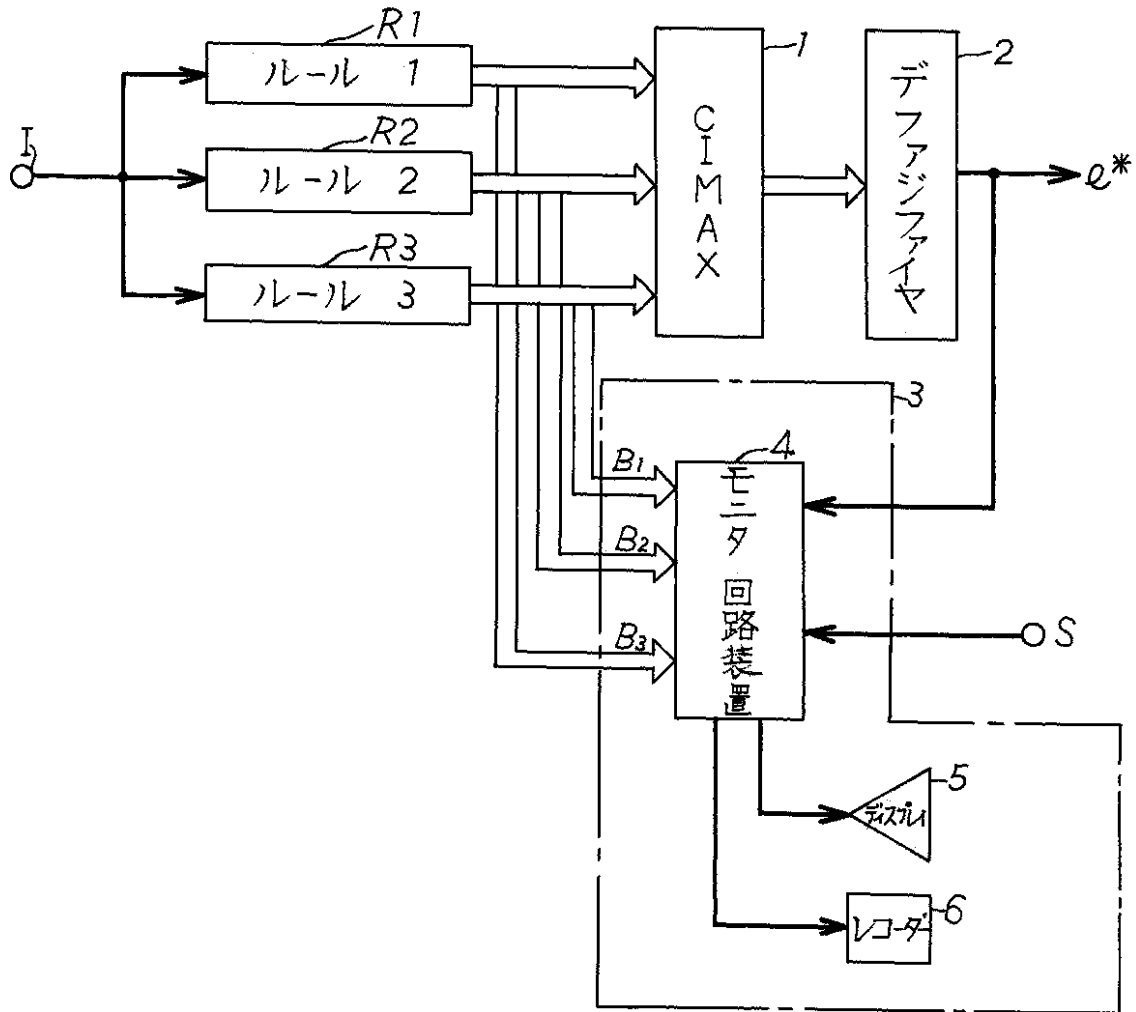
5: ディスプレイ

41: ドミナントルール検出部（ルール出力手段）

42: 推論結果評価部（評価信号出力手段）

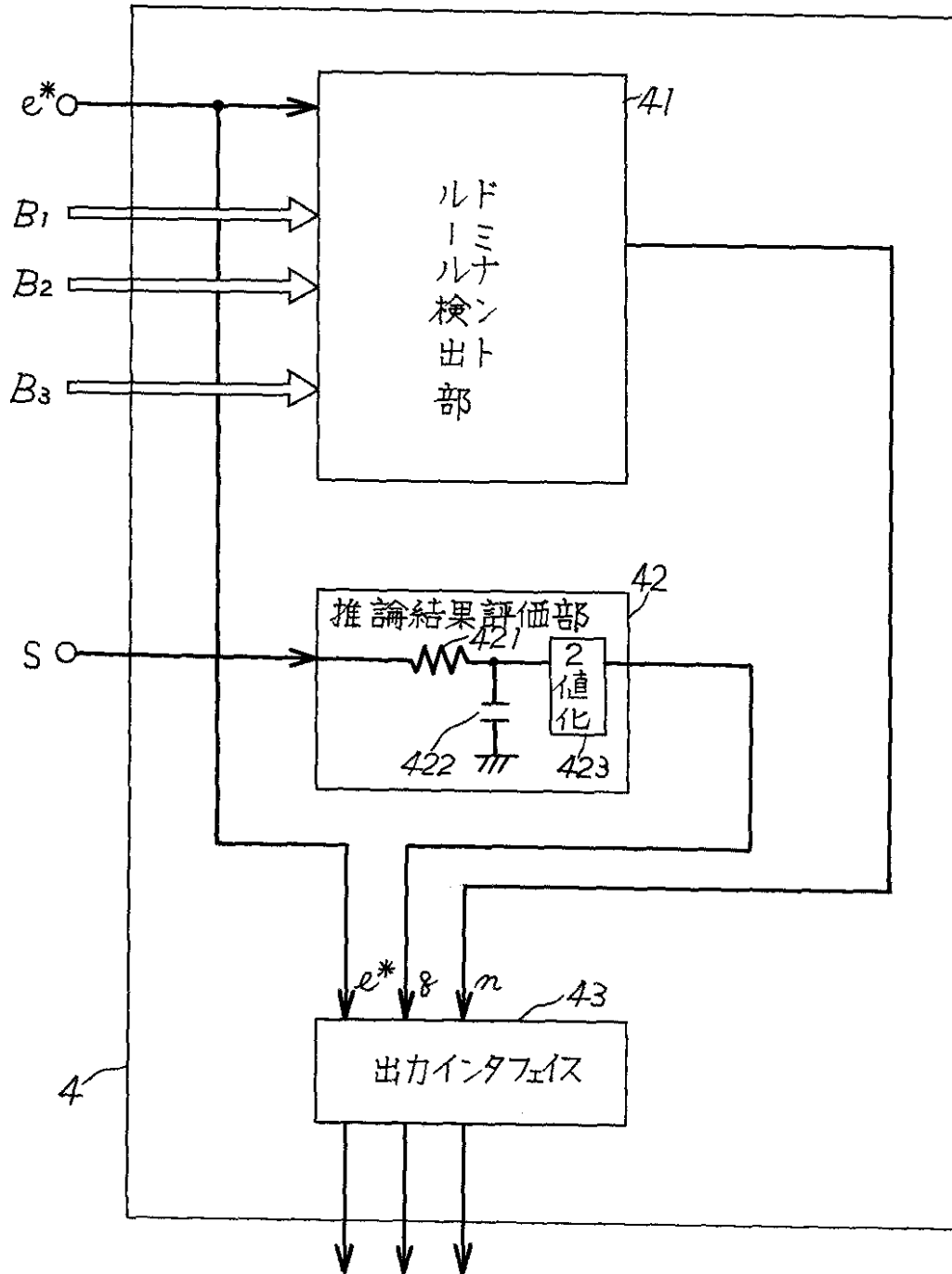
【第1図】

ファジ推論装置およびモニタ装置の電気回路のブロック図

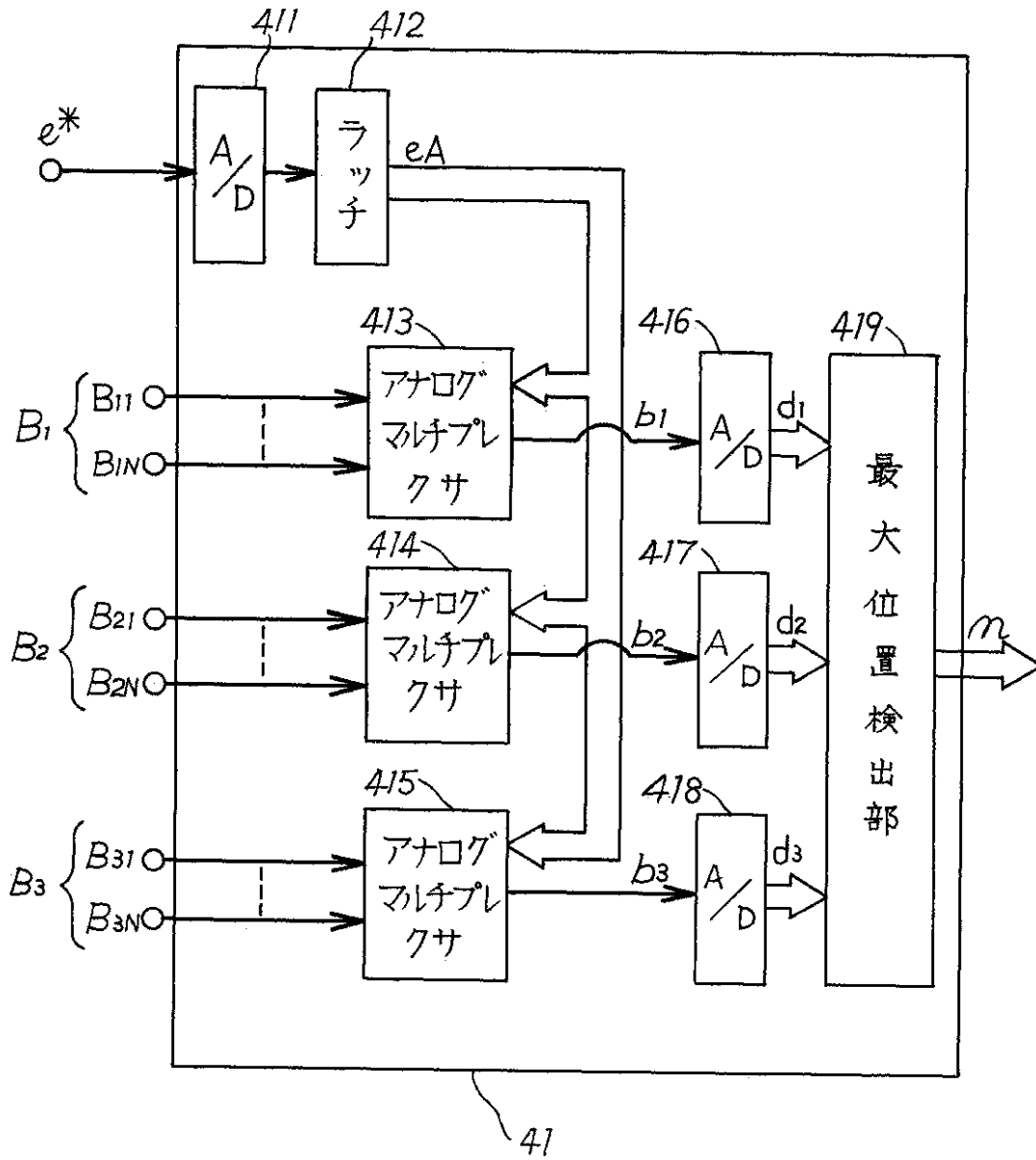


【第2図】

モニタ回路装置のブロック図

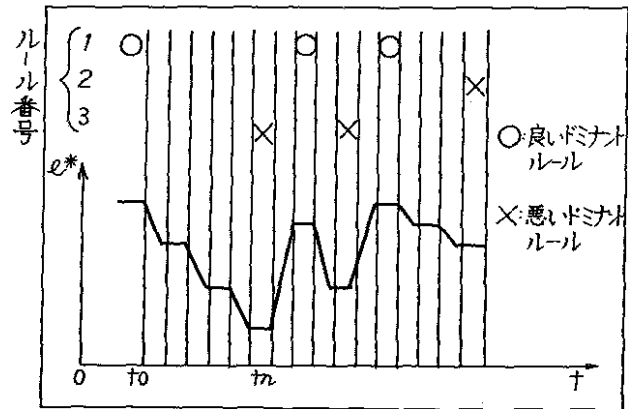


【第3図】



【第4図】

表示例



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G06F 9/44 554  
J I C S Tファイル