

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2605829号

(45)発行日 平成9年(1997)4月30日

(24)登録日 平成9年(1997)2月13日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所	
G 0 6 F	9/44	5 5 4	G 0 6 F	9/44	5 5 4 C
	7/544			7/544	F

請求項の数10(全 20 頁)

(21)出願番号	特願昭63-248663	(73)特許権者	999999999 オムロン株式会社 京都府京都市右京区花園土堂町10番地
(22)出願日	昭和63年(1988)9月30日	(72)発明者	久野 敦司 京都府京都市右京区花園土堂町10番地 立石電機株式会社内
(65)公開番号	特開平2-96237	(74)代理人	弁理士 小森 久夫
(43)公開日	平成2年(1990)4月9日	審査官	林 毅

(54)【発明の名称】 ファジイ推論方法及びファジイ推論装置

1

(57)【特許請求の範囲】

【請求項1】離散的に与えられる複数のファジイ変数のそれぞれに対応するメンバーシップ関数値をパルス幅の大きさで表し、このメンバーシップ関数値の集合としてメンバーシップ関数を構成し、このメンバーシップ関数を用いてファジイ推論を実行することを特徴とするファジイ推論方法。

【請求項2】それぞれがパルス幅の大きさで表される複数の前件部メンバーシップ関数値についてパルスの起点または終点を同時にして論理積演算し、この結果をMIN信号として出力することを特徴とするファジイ推論方法。

【請求項3】パルス幅の大きさで表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、の論理積演算を行

2

い、この結果をトランケーション信号として出力することを特徴とするファジイ推論方法。

【請求項4】それぞれがパルス幅の大きさで表される複数のトランケーション信号についてパルスの起点または終点を同時にして論理和演算し、この結果をMAX信号として出力することを特徴とするファジイ推論方法。

【請求項5】それぞれがパルス幅の大きさで表される複数のMAX信号についてファジイ変数の最小値から中間値までのパルス幅の累積値、及び、最大値から中間値までのパルス幅の累積値を求めるとともに、両方の累積値を比較しつつ中間値を変化させ、両方の累積値が特定の条件を満たす中間値を確定値として出力することを特徴とするファジイ推論方法。

【請求項6】パルス幅の大きさで表されたメンバーシップ関数値の集合としてメンバーシップ関数を出力する手

段を備え、パルス幅の大きさを表されたメンバーシップ関数値を用いてファジイ推論を実行することを特徴とするファジイ推論装置。

【請求項 7】それぞれがパルス幅の大きさを表される複数の前件部メンバーシップ関数値がパルスの起点または終点を同時にして入力され、入力された複数の前件部メンバーシップ関数値の論理積演算を行い、この結果をMIN信号として出力するアンド回路を備えたことを特徴とするファジイ推論装置。

【請求項 8】パルス幅の大きさを表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、が入力され、複数の後件部メンバーシップ関数値とMIN信号との論理積演算を行い、この結果をトランケーション信号として出力するアンド回路を備えたことを特徴とするファジイ推論装置。

【請求項 9】それぞれがパルス幅の大きさを表される複数のトランケーション信号がパルスの起点または終点を同時にして入力され、入力された複数のトランケーション信号を論理和演算し、この結果をMAX信号として出力するオア回路を備えたことを特徴とするファジイ推論装置。

【請求項 10】計数値がファジイ変数の最小値から順次増加するアップカウンタと、計数値がファジイ変数の最大値から順次減少するダウンカウンタと、それぞれがパルス幅の大きさを表される複数のMAX信号についてアップカウンタの計数値以下のパルス幅の累積値、及び、ダウンカウンタの計数値以上のパルス幅の累積値を算出する手段と、アップカウンタ及びダウンカウンタの計数値を変化させつつ両方の累積値を比較する比較手段と、比較手段において両方の累積値が特定の条件を満たしたときのアップカウンタまたはダウンカウンタの計数値を確定値として出力する手段と、を設けたことを特徴とするファジイ推論装置。

【発明の詳細な説明】

< 産業上の利用分野 >

この発明は、メンバーシップ関数、MAX回路、MIN回路、トランケーション回路、C - MAX回路及びデファジファイ等要素を用いてファジイ推論を実行するファジイ推論方法、及び、これらの要素によって構成されるファジイ推論装置、ファジイコントローラ及びファジイコンピュータ等のファジイ推論装置に関する。

< 従来の技術 >

特開昭63 - 123177号および特開昭63 - 123178号公報において、従来の「1」、 「0」の2進数を扱うノイマン型コンピュータとは異なるファジイ・コンピュータが示されている。このファジイ・コンピュータは、MIN回路やMAX回路等の各要素から成り、言語情報を高速で処理するのに適している。しかし、このファジイ・コンピュータの各要素は、アナログデータを入出力するので、回

路構成が複雑で、配線も複雑かつ大規模化するという問題があった。

< 発明が解決しようとする課題 >

この発明は、アナログデータを扱う従来のファジイ技術とは異なる新しいファジイ技術の各要素であつて、しかも回路構成が簡単な要素を提供することを目的とする。

< 課題を解決するための手段 >

請求項(1)に記載した発明は、離散的に与えられる複数のファジイ変数のそれぞれに対応するメンバーシップ関数値をパルス幅の大きさを表し、このメンバーシップ関数値の集合としてメンバーシップ関数を構成し、このメンバーシップ関数を用いてファジイ推論を実行することを特徴とする。

請求項(2)に記載した発明は、それぞれがパルス幅の大きさを表される複数の前件部メンバーシップ関数値についてパルスの起点または終点を同時にして論理積演算し、この結果をMIN信号として出力することを特徴とする。

請求項(3)に記載した発明は、パルス幅の大きさを表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、の論理積演算を行い、この結果をトランケーション信号として出力することを特徴とする。

請求項(4)に記載した発明は、それぞれがパルス幅の大きさを表される複数のトランケーション信号についてパルスの起点または終点を同時にして論理和演算し、この結果をMAX信号として出力することを特徴とする。

請求項(5)に記載した発明は、それぞれがパルス幅の大きさを表される複数のMAX信号についてファジイ変数の最小値から中間値までのパルス幅の累積値、及び、最大値から中間値までのパルス幅の累積値を求めるとともに、両方の累積値を比較しつつ中間値を変化させ、両方の累積値が特定の条件を満たす中間値を確定値として出力することを特徴とする。

請求項(6)に記載した発明は、パルス幅の大きさを表されたメンバーシップ関数値の集合としてメンバーシップ関数を出力する手段を備え、パルス幅の大きさを表されたメンバーシップ関数値を用いてファジイ推論を実行することを特徴とする。

請求項(7)に記載した発明は、それぞれがパルス幅の大きさを表される複数の前件部メンバーシップ関数値がパルスの起点または終点を同時にして入力され、入力された複数の前件部メンバーシップ関数値の論理積演算を行い、この結果をMIN信号として出力するアンド回路を備えたことを特徴とする。

請求項(8)に記載した発明は、パルス幅の大きさを表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、が入力され、複数の後件部メンバーシップ関数値と

MIN信号との論理積演算を行い、この結果をトランケーション信号として出力するアンド回路を備えたことを特徴とする。

請求項(9)に記載した発明は、それぞれがパルス幅の大きさで表される複数のトランケーション信号がパルスの起点または終点を同時にして入力され、入力された複数のトランケーション信号を論理和演算し、この結果をMAX信号として出力するオア回路を備えたことを特徴とする。

請求項(10)に記載した発明は、計数値がファジイ変数の最小値から順次増加するアツプカウンタと、計数値がファジイ変数の最大値から順次減少するダウンカウンタと、それぞれがパルス幅の大きさで表される複数のMAX信号についてアツプカウンタの計数値以下のパルス幅の累積値、及び、ダウンカウンタの計数値以上のパルス幅の累積値を算出する手段と、アツプカウンタ及びダウンカウンタの計数値を変化させつつ両方の累積値を比較する比較手段と、比較手段において両方の累積値が特定の条件を満たしたときのアツプカウンタまたはダウンカウンタの計数値を確定値として出力する手段と、を設けたことを特徴とする。

<作用>

請求項(1)及び(6)に記載した発明においては、離散的に与えられる複数のファジイ変数のそれぞれに対応するメンバーシップ関数値をパルス幅の大きさで表し、このメンバーシップ関数値の集合としてメンバーシップ関数を構成しているため、正規化された時間の経過後にメンバーシップ関数の波形全体が複数のファジイ変数のそれぞれに対応したパルス幅の起点または終点の包絡線上に現れる。

請求項(2)及び(7)に記載した発明においては、それぞれがパルス幅の大きさで表される複数の前件部メンバーシップ関数値についてパルスの起点または終点を同時にして論理積演算を行なうことにより、ファジイ推論に用いるMIN信号が得られる。

請求項(3)及び(8)に記載した発明においては、パルス幅の大きさで表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、の論理積演算を行なうことにより、ファジイ推論に用いるトランケーション信号が得られる。

請求項(4)及び(9)に記載した発明においては、それぞれがパルス幅の大きさで表される複数のトランケーション信号についてパルスの起点または終点を同時にして論理和演算を行なうことにより、ファジイ推論に用いるMAX信号が得られる。

請求項(5)及び(10)に記載した発明においては、それぞれがパルス幅の大きさで表される複数のMAX信号についてファジイ変数の最小値から中間値までのパルス幅の累積値、及び、最大値から中間値までのパルス幅の

累積値を求めるとともに、両方の累積値を比較しつつ中間値を変化させることにより、両方の累積値が特定の条件を満たす中間値が確定値とし出力される。

<効果>

請求項(1)及び(6)に記載した発明によれば、離散的に与えられる複数のファジイ変数のそれぞれに対応するメンバーシップ関数値をパルス幅の大きさで表し、このメンバーシップ関数値の集合としてメンバーシップ関数を構成することにより、ファジイ推論の演算処理に用いるメンバーシップ関数を簡単な構成で発生することができる。

請求項(2)及び(7)に記載した発明によれば、それぞれがパルス幅の大きさで表される複数の前件部メンバーシップ関数値についてパルスの起点または終点を同時にして論理積演算を行なうことにより、ファジイ推論に用いるMIN信号を構成の簡単なアンド回路により極めて容易に得ることができる。

請求項(3)及び(8)に記載した発明によれば、パルス幅の大きさで表される複数の後件部メンバーシップ関数値のそれぞれと、この関数値と起点または終点が同時であるMIN信号と、の論理積演算を行なうことにより、ファジイ推論に用いるトランケーション信号を構成の簡単なアンド回路により極めて容易に得ることができる。

請求項(4)及び(9)に記載した発明においては、それぞれがパルス幅の大きさで表される複数のトランケーション信号についてパルスの起点または終点を同時にして論理和演算を行なうことにより、ファジイ推論に用いるMAX信号を構成の簡単なオア回路により極めて容易に得ることができる。

請求項(5)及び(10)に記載した発明においては、それぞれがパルス幅の大きさで表される複数のMAX信号についてファジイ変数の最小値から中間値までのパルス幅の累積値、及び、最大値から中間値までのパルス幅の累積値を求めるとともに、両方の累積値を比較しつつ中間値を変化させることにより、ファジイ推論の結論である確定値を簡単な構成によって容易に得ることができる。

<実施例>

以下図面にもとづき実施例を説明する。第1図は、本実施例装置のシステム構成図である。このシステムでは、超小型のデジタルコンピュータいわゆるマイクロコンピュータを中心に構成された上位1の下に、後に詳説するファジイコンピュータ(以下必要により、FCと略称する)2,3,4,5が配置され制御される。そして、例えば、第1番目のファジイコンピュータ2に対して、第2のファジイコンピュータ3が接続される等多階層構造になつている点に特徴がある。

すなわち、FC2は複数のセンサ6,6,...からの出力にもとづく推論に加えて、下位とも言うべき第2のFC3の推論結果も入力として取扱い推論できる構造になつてい

る。

ここで本システムで実行する推論につき、後の理解を容易にするため、第 2 図の処理概略図にもとづき簡単に説明しておく。今上位 1 からある命題に関する推論の実行が最上位のFCaに指令されたとする。この指令はデファジファイ出力を要求することになる。この指令に応じてFCaは、この命題の推論に必要な情報が下位のFCbないしcで得られる場合には、FCbないしcを起動する。この起動に応じてFCaないしcは、各別に配置されたセンサ6,6の出力にもとづく推論を実行し、その結果をFCaに伝達する。この結果を受けたFCaは推論を実行し、結果を上位 1 に伝える。このようにして得られた最終推論結果は上位 1 中の表示器で表示されたり、別のシステムに対し制御信号として出力されたりする。

このように、下位のFCによつて得られる推論結果を上位のFCがセンサ出力と同等に取扱えるようにしておく、大きく複雑な問題を分析・推論する場合に有利である。

又、この第 2 図において点線で囲んだ部分について付言しておく。すなわち、下位のFCcはそのセンサ出力に応じた推論を実行し、その結果を上位のFCaに伝えるが、その信号形態は、センサ6,6が自らに入力してくる信号形態と等価に形成されている。従つて、上位のFCaから見ると、センサ 6 からの直接出力であるか、推論結果であるのかが区別できない、あるいは区別する必要がない。このことは、点線で囲んだ部分 7 全体がある種のセンサ、いわばファジイセンサを形成していることを意味する。

次に第 3 図にもとづきファジイコンピュータと上位（以下MPUと呼ぶ）1 との関係を説明する。第 3 図に代表的に示されたFC2はMPU1と上位バス 8 によつて結合されている。このバス 8 を介してMPU1は、ファジイルールメモリ 9 に予めファジイプロダクションルールを格納する。

そしてある命題を実行する際には、MPU1は、その命題を示す情報をバス 8 を介してルールコントローラ10に転送する。その結果ルールコントローラ10は、起動すべきルールを選択し、ファジイルールメモリ 9 からのファジイルールレジスタ部11にセットする。

ファジイルールレジスタ部11にセットされたルールは、入力制御部12でファジイ変数として外部入力を取込むべきか、あるいは後述のファジイ結論メモリ部13から取込むべきかが判断される。この判断にもとづき選定されたファジイ変数が、ルールとともにファジイ推論部14に印加され推論が実行される。推論された結果はファジイ結論メモリ部13に格納される。この推論結果は、結論メモリコントローラ15および上位バス 8 を介してMPU1に転送される。

すなわち、MPU1は、ファジイルールメモリ9,ルールコントローラ10および結論メモリコントローラ15を自在に

アクセスでき、これによつて所望の推論を実行・完成させるものである。

次に第 3 図に示したファジイコンピュータの具体的構成および動作について説明する。

そのため第 2 図に戻つて本システムにおける推論動作につき説明する。MPU1がZ1に関する推論を行なうためFCaにその旨を転送する。すなわち、MPU1は、デファジファイ出力Z1の要求を出す。これはFCaにおいて、ファジイプロダクションルール「 $if\ x1 = A1 \cdot y1 = B1\ then\ z1 = C1$ 」（すなわち、“x1がA1で、かつy1がB1ならば、z1はCである”）というif - then形式に展開されたとする。

これに応じてFCaは前記ルールの前件部のファジイ変数であるx1あるいはy1がいずれの個所で得られるかを探索する。この探索の詳細は後に説明するが、要するに、センサ 6 より確定値として得られる場合は従来のファジイコンピュータと同様であるが、他のFCの推論結果として得る場合には、先の例でいえばx1あるいはy1を後件部とする全ルールが特定のFCにおいて実行され、その結果から得られる総合的な推論結果が確定値として例えばFCbあるいはFCcよりFCaに伝達される。

第 2 図においては、FCaとFCbあるいはFCcというように 2 階層の構造を説明したが、これに限られるものではない。すなわち、ある階層に位置するFCで実行されるルールの前件部にセンサ出力ではないファジイ変数を含む場合には、このファジイ変数を出力するFC（すなわち下位のFC）を順次、起動していく点に本システムの特徴がある。

さてファジイルールメモリ 9 には複数のif - then形式のファジイプロダクションルールが格納される。その詳細は第 4 図に示すように、各ルールとも前件部16と後件部17とで構成されている。このファジイプロダクションルール（以下、ファジイルールとも呼ぶ）はMPU1によつて予めファジイルールメモリ 9 に書き込まれている。

又、MPU1は、ルールコントローラ10に起動すべきファジイルールを決定するためのデータを予め書き込んでおり、その詳細を第 5 図に示す。

第 5 図において、ルールコントロールメモリ18のstaddr (i) およびendaddr (i) は、後件部のファジイ変数を同一とするルールがファジイルールメモリ 9 中のどのアドレスにあるかを示すためのもので先頭アドレスをstaddr (i) で、又、最終アドレスをendaddr (i) で示している。

このファジイルールメモリ 9 とルールコントロールメモリ18とのメモリ上の関係を第 6 図に図示する。

以上のようにしてMPU1が全てのFCに対しファジイルールとルールコントロールデータとを書き込むことにより本システムは推論を行える状態に初期化される。

それに伴いMPU1から所定の項目の推論開示を指令するが、この指令は上位バス 8 を介して第 3 図の結論メモリ

コントローラ15に与えられる。結論メモリコントローラ15の詳細を第7図に示す。又、ファジィ結論メモリ部13の詳細を第8図に、さらにファジィ結論メモリの詳細を第9図に示す。

今MPU1は r なる事象(項目)を推論すべく、 i なるアドレス信号を上位バス8を介して結論メモリコントローラ15に印加する。このアドレス信号はコマンドレジスタ21(第7図)にセットされる。これに応じて結論メモリアクセス部22は、アドレス信号eadを与え結論メモリ20から該当するファジィ変数値edatをインターフェイス23を介して読出す。

ファジィ結論メモリ20は詳細を第9図に示すように推論結果を記憶するメモリで、第3図のファジィ推論部14で推論が終了したのに伴いファジィ変数値である推論結果が結論部23にセットされるとともに最上位に位置するフラグ部24に“1”が立てられる。従つて、フラグ部24に“1”が立っていない場合には、該当するファジィ変数は有効でないことを意味する。

従つて、結論メモリ20からリードしたデータedatの最上位ビットが“1”の場合にはこのデータは有効とされ、結論メモリデータレジスタ25(第7図)にセットされる。

リードされたデータedatの最上位ビットが“0”の場合には、ルール起動要求信号erulがファジィ変数アドレスfaddrとともに、ルールコントローラ10のルールコントロールメモリアクセス部26(第5図)に印加される。

これに伴いルールコントローラ10では、後件部にファジィ変数アドレスfaddrを有するルール群(今これを i とする)をルールコントロールメモリ18をリードすることによつて検出する。今これは i であるので、後件部を共通にする i 番目のルール群の先頭アドレスstaddr(i)および最終アドレス(endaddr(i))がそれぞれバツファレジスタ27,28にセットされる。

バツファレジスタ27はカウンタ機能も有するもので、レジスタ27の出力はファジィルールメモリ9(第3図,第6図参照)中の該当ルールをリードアクセスするための信号(ruladdr)としてルールメモリ9に印加される。その結果推論が実行される。そして、ルール群のうちの一つのルールについての推論が終了すると同期用回路29からカウンタアップ信号が出力されカウンタバツファ27は歩進され、その出力(ruladdr)によつて次のルールの推論が開始される。このようにしてルール群中の全てのルールの実行が終了すると、カウンタバツファ27と最終アドレス用バツファ28との出力の比較する比較器30から出力が出力され、歩進が停止する。これによつて後件部を共通にするルール群の全ルールの推論が終了する。

次に、この繰り返しの推論がどのようになされるかについて説明する。

先述のルールアドレス信号であるruladdrはファジィ

ルールメモリ9(第3図)に印加され、該当するルールがファジィルールレジスタ部11に読出される。

ファジィルールレジスタ部11の詳細を第10図に示す。

今ルールアドレス信号ruladdrによつて読み出されたルールが次記の式(1)のようのものであつたとする。

$$\begin{aligned} & \text{if } x = A \cdot y = B \cdot z = C \\ & \text{then } r = D \end{aligned} \quad \dots\dots (1)$$

この式(1)において、 x, y, z, r はファジィ変数であり、後述する所で明らかになるように、アドレス信号の形を取っている。

さてファジィルールメモリ9から読出された式(1)で表わされルールは、ファジィルールレジスタ部11のラッチ回路31ないし38(第10図)に各変数毎にラッチ記憶される。

r ラッチ回路31上のアドレスは書き込みインターフェイス部22を介してファジィ結論メモリ20(第8図)の書き込みアドレス用として用いられる。又、 x, y, z の各ラッチ回路上のアドレスはファジィ変数リード制御部39で時系列変換され、リードアドレスradとして、レジスタコードrcodeとともに詳細を第11図に示す入力制御部12(第3図参照)に順次与えられている。

このようにして入力制御部12に与えられたルールの前件部に関する信号は、一対のデコーダ40,41で解読される。すなわち、最初のファジィ変数 x に関するradおよびrcodeが与えられたとすると、デコーダ41によつてレジスタコードrcodeが解読され入力ラッチ44が選択される。又、リードアドレスradはデコーダで解読され、自己の内部すなわちファジィ結論メモリ20から得られる情報か、それとも外部すなわちセンサあるいは下位のFCから得られる情報かが判定される。この判定結果に応じて外部入力インターフェイス45,ファジィ結論メモリインターフェイス46のいずれかが選択され、ファジィ変数 x に関するアドレス信号が出力される。

すなわち、radの所定ビットが“0”か“1”かによつて、ファジィ結論メモリインターフェイス46か外部入力インターフェイス45かが選択される。結論メモリインターフェイス46が選択されたときには、ファジィ変数 x に関するアドレス信号fmadが結論メモリインターフェイス46から出力され、第8図の入力制御部インターフェイス225を介してファジィ結論メモリ20がアクセスされ、データがファジィ結論メモリ20から読出される。読出されたデータは、入力制御部インターフェイス225を介して信号fdatとして、ファジィ結論メモリインターフェイス46に入力される。

一方、外部入力インターフェイス45が選択されたときには、外部入力インターフェイス45はセンサ6または下位のFCの選択信号sensadを出す。選択されたセンサまたはFCは、状態信号またはファジィ推論結果を信号sdatとして外部入力インターフェイス45に返送してくる。

ファジィ結論メモリインターフェイス46に入力された

データまたは外部入力インターフェイス45に返送されたデータは、ライン47を介してdxとして入力ラッチ42にセットされる。以下y,zについても同様の処理がなされ入力ラッチ43,44にはファジイ変数値dy,dzがセットされる。

次にこのファジイ変数値dx,dy,dzともう一つの信号であるメンバーシップ関数とにより推論を実行する訳であるが、このメンバーシップ関数を発生する機構について説明する。

第10図に戻つて、ファジイールのメンバーシップ関数のラベルであるA,B,C,Dはそれぞれラッチ回路35,36,37,38にラッチ記憶されることは先述のとおりである。このようにしてラッチされたラベルA,B,C,Dは波形作成ユニット50へアドレスの一部として入力される。そして、波形作成ユニット50からな時間依存型のメンバーシップ関数を示す信号が出力されるが、これを以下説明する。

この波形作成ユニット50は、先述のようにファジイメンバーシップ関数を発生するものである。通常このメンバーシップ関数は第12図に示すように、横軸にファジイ変数xをとり、縦軸に所属度をとつた連続関数で表現される。これに対し本ファジイコンピュータにおいてはメンバーシップ関数を発生するにあつて、第13図に示すようにファジイ変数xを離散的にとるとともに、各々の所属度を終点を同時としたパルスの長さ(パルス幅)で表現するようにしている。これを以下、メンバーシップ関数のPWM(Pulse Width Modulation)表現と呼ぶ。ここでは、パルスの終点を同時としているが、起点を同時にしてもよい。

以上の理解を前提に、第14図に詳細を示す波形作成ユニット50につき説明する。

波形作成ユニット50は、複数種類のメンバーシップ関数の関数波形を記憶するとともに一方の入力であるラベル(A,B,C,D...)によつて該当する関数が選定される波形メモリ51,52,53,54と、選定された関数の読出しタイミングを制御するカウンタ55を中心に構成されている。

すなわち、波形メモリ51~54には、第13図に即して述べると、各格子に“0”“1”が割り当てられPWM表現されたメンバーシップ関数がラベル順に複数個記憶されている。従つて、ラベルでメンバーシップ関数が指定され、カウンタ55から、クロックをカウントして得られるカウント値が印加されると、第13図に示すt0,t1,t2,...の順番に波形メモリ51等はアクセスされ、第15図に示すような、パルス長さの長短で表現されたメンバーシップ関数がラインh0,h1,h2,...上に出力される。

このようにしてファジイ変数値dx,dy,dzとメンバーシップ関数(mA,mB,mC,mD)とがそろふことによりファジイ推論が実行される訳であるが、これを第16図にファジイ推論部14のプロック図にもとづき説明する。

ファジイ推論部14では、ファジイールの前件部が処理される。すなわち、複数のラインh0,h1,h2...(第15図

参照)上にPWM表現された入力メンバーシップ関数(mA,mB,mC)はマルチプレクサ61,62,63にそれぞれ接続される。

このマルチプレクサ61,62,63の機能は、ファジイ変数dx,dy,dzの大きさに応じて、ラインh0,h1,h2...のうちの一本を選んで、所属度ex,ey,ezを出力することである。このことは、公知・通常ファジイコンピュータにおいて、センサ等から入力される入力信号をメンバーシップ関数で評価して所属度を出力するのと等価である。唯、通常ファジイコンピュータが所属度を電圧、電流等電気信号の大小で表現するのに対し、本ファジイコンピュータではパルスの長短で表現することに特徴がある点で差異がある。

このようにパルス幅で表現された所属度ex,ey,ezは、min回路64でMIN演算がなされる。このmin回路64の実態は、第17図に示す単純なAND回路である。すなわち、本ファジイコンピュータにおいては、所属度ex,ey,ezはPWM表現されているのでAND回路で簡単に最短パルス幅のパルス(所属度)が選定され、MIN演算が行なわれ、出力gが出される。

このようにして前件部の処理が終了すると次に、後件部の処理に移る。後件部の処理はトランケーション部65でなされる。

すなわち、トランケーション部65は、第18図に示すような並列配置されたAND回路群で構成され、各AND回路の一方の入力端には共通にmin回路64の出力端に接続され、最短のパルス幅信号である出力gが印加される。

トランケーション部65の他方の入力、後件部のメンバーシップ関数mD2,この関数mDは、前述のように、複数のラインh0,h1,h2...上にパルス幅の長短で表現されている。このようなパルス信号(gおよびmD)が印加されることにより、トランケーション部65からは、両信号のうちよりパルス幅が短い方が選定され、出力mDが出力される。この出力mDは、mDと対応したn本のラインで表現される。このような処理は、通常ファジイコンピュータでいわゆる“頭切り”と呼ばれる処理と等価である。

このようにして前件部の処理および後件部の処理が終了すると、一つの処理が終了したことになる。従つてファジイコンピュータは次のルールを処理する状態に移る。このようにして、次々とルールを実行し、最終的に推論を完成するのであるが、次に、各ルールの実行結果の合成について説明する。

さて、前述のように、最初のルールの実行が終了すると、その実行結果であるmDは、C-max回路66およびn本のラインからなるパス67を介して、初期にはリセット状態のシフトレジスタ群68に読み込まれる。このシフトレジスタ群68は、前記ライン毎に設けられたn組のシフトレジスタで構成され、前述のPWM表現されたパルス幅信号を再現可能に記憶する。

10

20

30

40

50

C-max回路66はその詳細を第19図に示すように、2入力OR回路が前記ライン数に対応してn組並設されている。従つて、最初のルールの実行後には、出力mDの各パルス信号がそのままシフトレジスタ群68に記憶される。

第2番目のルールの実行が終了すると、出力mDがC-max回路66に印加されるタイミングと同期して、シフトレジスタ群68から最初のルールによる実行結果が再生されて印加され、OR回路の作用により、n本のライン毎により長い方のパルス幅の信号が選定され、前回同様シフトレジスタ群68に記憶される。このような動作は、公知・通常のアジコンコンピュータにおけるいわゆる“MAZ演算”と等価である。

このようにして、各ルールの実行の終毎に、シフトレジスタ群68の中には、それまでに実行したルールの合成結果が、PWM表現の形で記憶されることになる。そして最終ルールの実行後には、最終的な推論結果が、シフトレジスタ群68中にPWM表現での再生可能な形で記憶される。

次に、このようにして得られた推論結果を確定値情報に変換する、いわゆるデフアジファイ処理について説明する。

デフアジファイ処理を行うデフアジファイヤ69の詳細を第20図に示す。又、このデフアジファイヤ69の動作を第21図のフローチャートに示す。

さて、全てのルールの実行が終了すると、シフトレジスタ群68(第16図)に格納された実行結果が、バス67を介して、デフアジファイヤのn個のシフトレジスタ700~70n-1に各ライン毎に読み込まれる。この結果、これらの各シフトレジスタ70には、PWM表現された実行結果が転写された形で記憶される。この記憶状態を第22図に模式的に示す。

これらのシフトレジスタ70は前述のように直列モードでデータを読み込むとともに、出力としては並列信号を出すもので、この並列信号により、前述のPWM表現された実行結果;すなわち第22図に限つて言えば波形73の高さを、出力する。

本アジコンコンピュータにおいては第22図の前記波形73を、その左右において面積を2等分する点(ないし線)74を確定値とすることによりデフアジファイする。そして、このデフアジファイ処理を前もって概説すると、第22図において、左からa方向に波形高さを加算(積算)して波形の左側の部分面積を順次求めていく。同様に、右からb方向に波形の右側の部分面積を求めて行く。そして、各部分面積を比較し、両者が一致するか検出する。一致しない場合は、少ない方について前記加算をし、この加算した結果について前記比較を行なう。このように加算(積算)・比較を繰返すことにより、最終的にはデフアジファイ出力74を得る。

さて、最初左右のカウンタ75,76は「0」および「n

-1」にそれぞれプリセットされ、最左端のシフトレジスタ700および最右端のシフトレジスタ70n-1が指定(アドレス)される。これとともにアキムレータ77,78はリセットされる。この結果、リードコントローラ71を介して最左端のシフトレジスタ700がアドレスされ、そのデータf(0)がデータバス79に出力される。この出力されたデータはアキムレータ77の内容と加算され、その結果がアキムレータ77に格納される。

次に、リードコントローラ72を介して最右端のシフトレジスタ70n-1がアドレスされ、そのデータf(n-1)がデータバス79に出力される。この出力されたデータはアキムレータ78の内容と加算され、その結果がアキムレータ78に格納される。

すると、比較器300がアキムレータ77の値1とアキムレータ78の値rとを比較する。比較器300は、1>rのときはアキムレーションコントローラ301を駆動し、1<rのときはアキムレーションコントローラ302を駆動する。アキムレーションコントローラ301,302は、駆動されると、それぞれアツプカウンタ75,ダウンカウンタ76にイネーブル信号を与える。

アツプカウンタ75は、イネーブル信号を受信すると、記憶値aに「1」を加算し、リードコントローラ71を駆動する。リードコントローラ71は、アツプカウンタ75の値aに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキムレータ77に加算される。

ダウンカウンタ76は、イネーブル信号を受信すると、記憶値bから「1」を減算し、リードコントローラ72を駆動する。リードコントローラ72は、ダウンカウンタ76の値bに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキムレータ78に加算される。

以下、同様にして、アキムレーションコントローラ301,カウンタ75,リードコントローラ71,アキムレータ77の組、または、アキムレーションコントローラ302,カウンタ76,リードコントローラ72,アキムレータ78の組のいずれか一方が比較器300によつて選択されて駆動される。

以上の動作を繰返していくと、カウンタ75,76の出力を受ける比較器303は、カウンタ75の値がカウンタ76の値以上になつたことを検出して、ゲート305を開くようになる。ゲート305が開かれると、カウンタ76の記憶データが確定値drとして出力される。ゲート305が開かれるとき、アキムレータ77の累積値とアキムレータ78の累積値とが誤差の範囲で近似的に等しくなっている。

確定値すなわち推論の結論値drは、第8図の書き込みインターフェイス部224を介して、アジコン結論メモリ20に記憶する。このときはアドレスは、MPU1から与えられてrラッチ回路31に記憶されているものが使用される。

アジコン結論メモリ20に記憶された確定値は、以後同じデフアジファイ出力の要求があつたとき、アジコン結

論メモリ20から結論メモリデータレジスタ25を介して結論データレジスタ251に読出されて使用される（第23図参照）。または、以後の推論の前件部に、ファジィ結論メモリ20に記憶している値が変数として現われたとき、その値が前件部の推論を行なうために用いられる（第24図）。

【図面の簡単な説明】

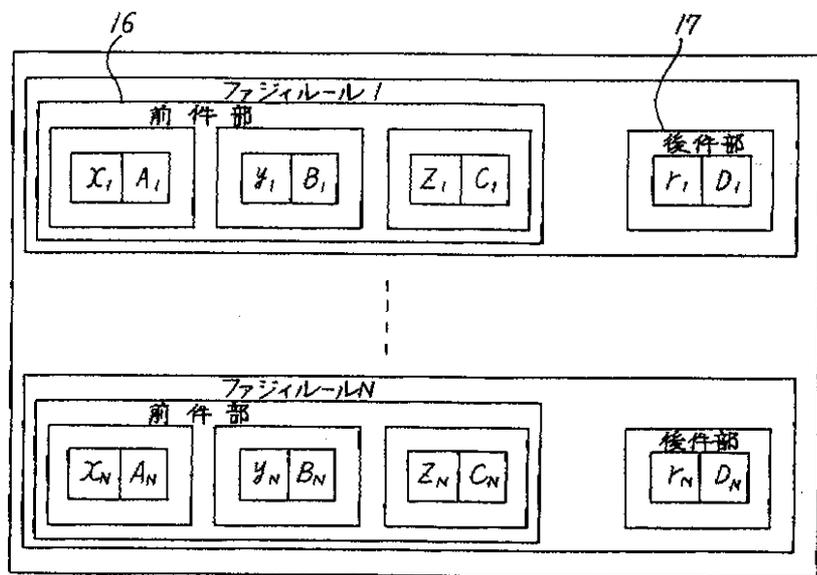
第1図は多階段ファジィ推論のためのシステム構成図で、第2図は推論処理の一例を示す処理概略図である。第3図はファジィコンピュータのブロック図で、第4図は、ファジィルールメモリを示すメモリマップで、第5図はルールコントローラのブロック図で、第6図はファジィルールメモリとルールコントロールメモリのメモリ上の関係を示す図である。第7図は結論メモリコントローラのブロック図で、第8図はファジィ結論メモリ部のブロック図で、第9図はファジィ結論メモリの構造を示すメモリマップである。第10図はファジィルールレジスタ部のブロック図で、第11図は入力制御部のブロック図である。第12図はメンバーシップ関数を示す図で、第13*

* 図はメンバーシップ関数をライン毎に分解した図で、第14図は波形作成ユニットのブロック図で、第15図はメンバーシップ関数の波形図である。第16図はファジィ推論部のブロック図で、第17図はMIN回路の構成図で、第18図はトランケーション部の構成図で、第19図はコレスpondens・マックス回路（C-MAX回路）の構成図で、第20図はデファジフアイヤのブロック図で、第21図はデファジフアイヤの処理を示すフローチャートで、第22図は推論結果を示す模式図である。第23図は過去と同じ推論を行なう場合の例を示す図で、第24図は過去の結果を前件部の推論に使う場合の例を示す図である。第23図および第24図における（イ）は過去の推論を示し、（ロ）は今回の推論を示す。

- 1:MPU, 2~5:ファジィコンピュータ,
- 6:センサ, 9:ファジィルールメモリ,
- 10:ルールコントローラ,
- 13:ファジィ結論メモリ部,
- 14:ファジィ推論部,
- 15:結論メモリコントローラ

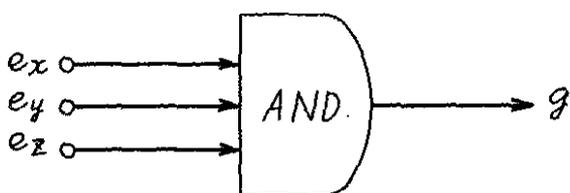
【第4図】

ファジィルールメモリ



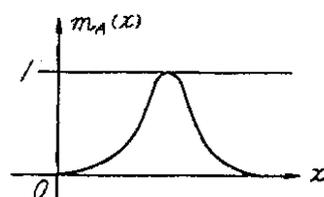
【第17図】

min 回路



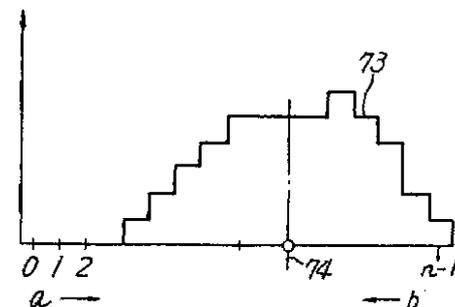
【第12図】

メンバーシップ関数



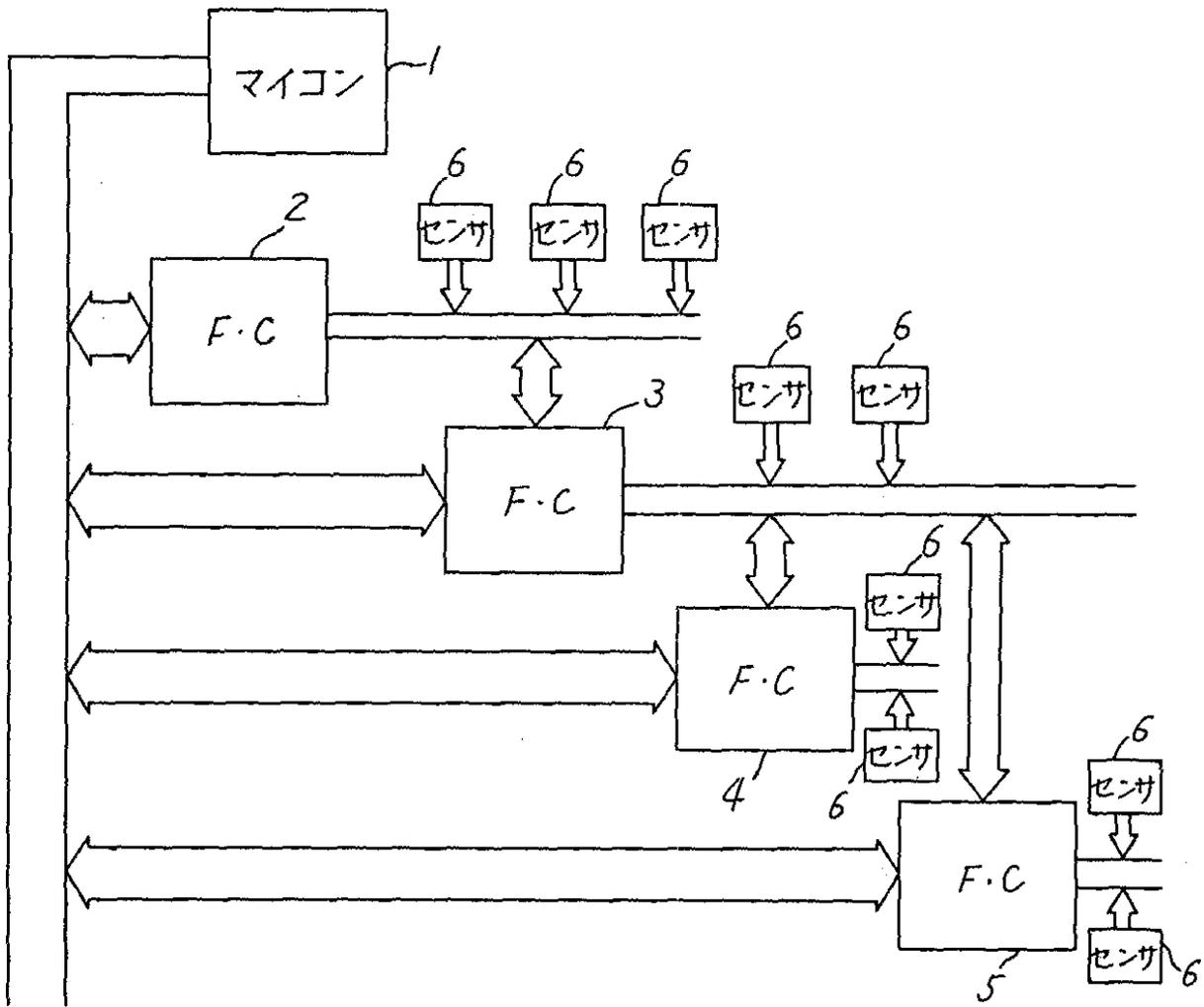
【第22図】

推論結果を示す模式図



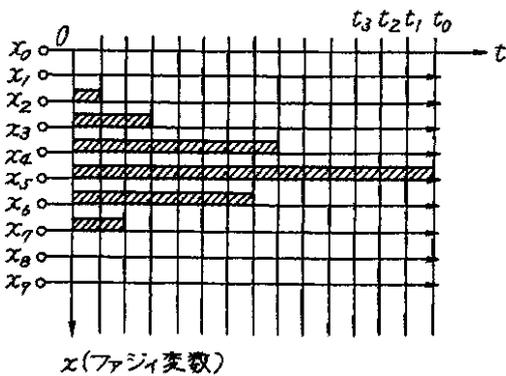
【第1図】

システム構成図



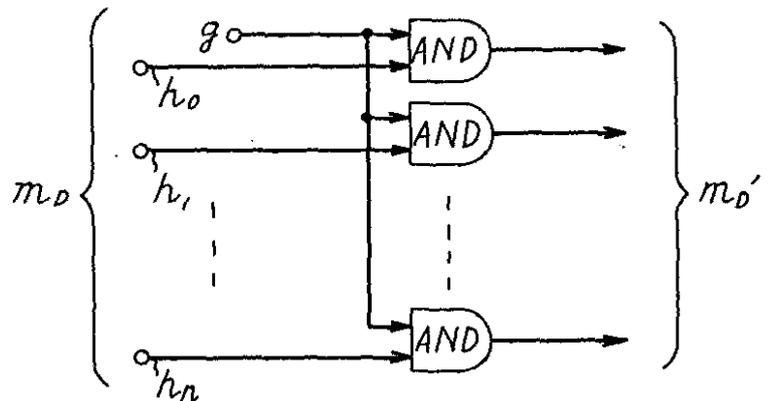
【第13図】

メンバシップ関数



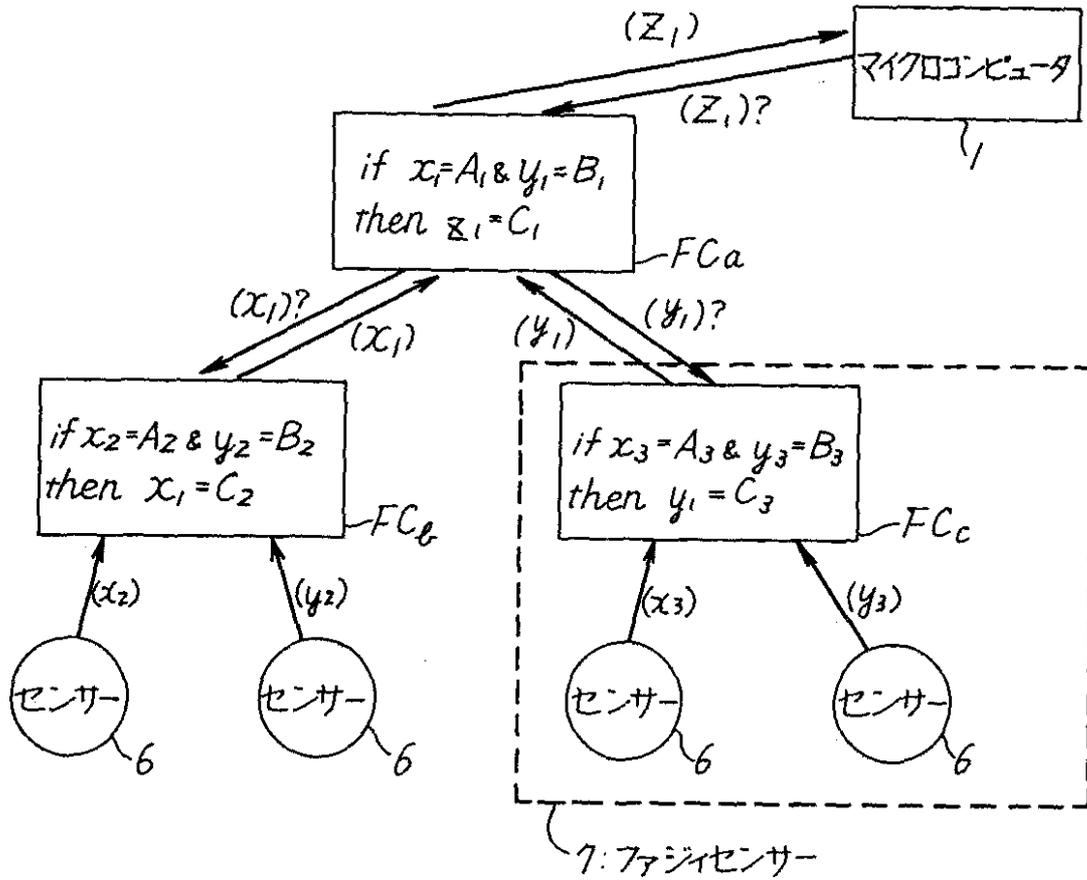
【第18図】

トランケーション部



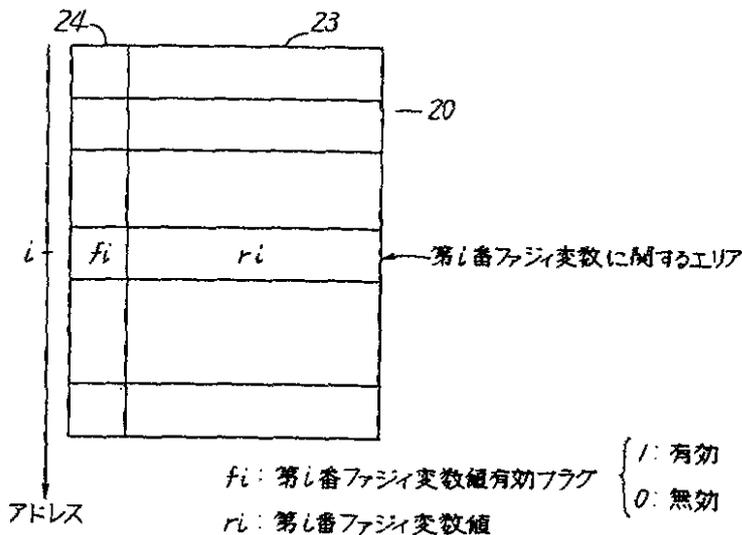
【第2図】

処理概略図



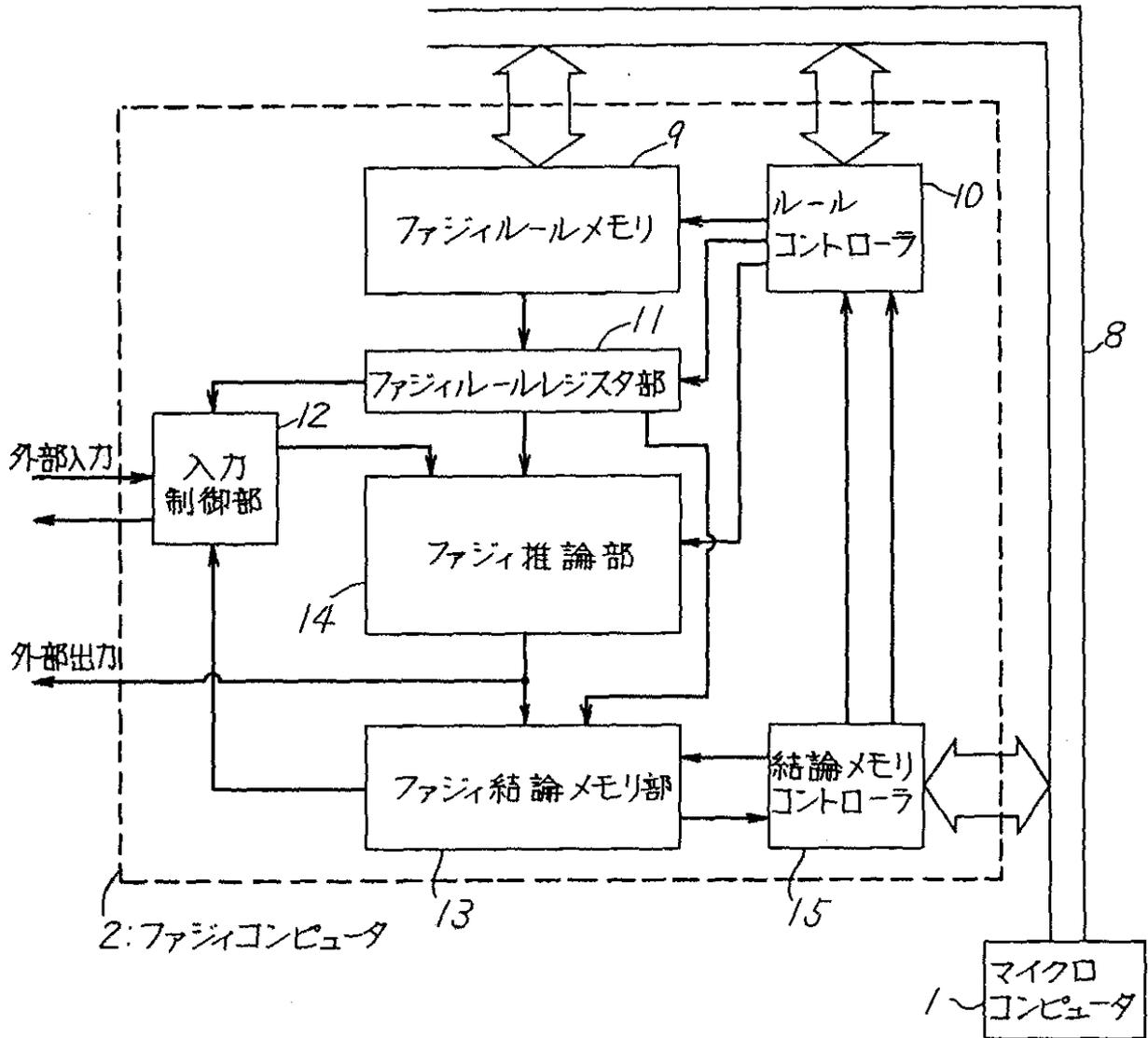
【第9図】

ファジィ結論メモリの構造



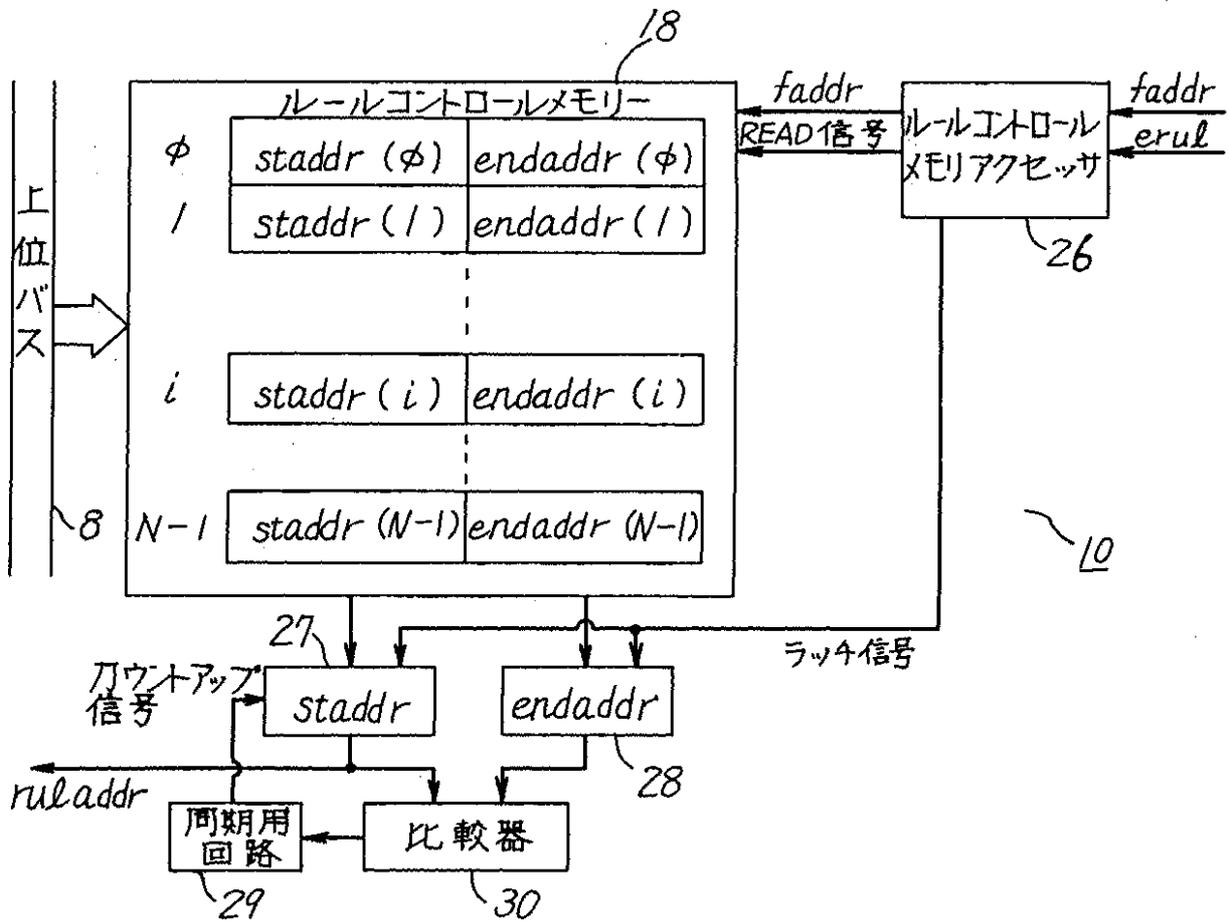
【第3図】

ファジィコンピュータのブロック図



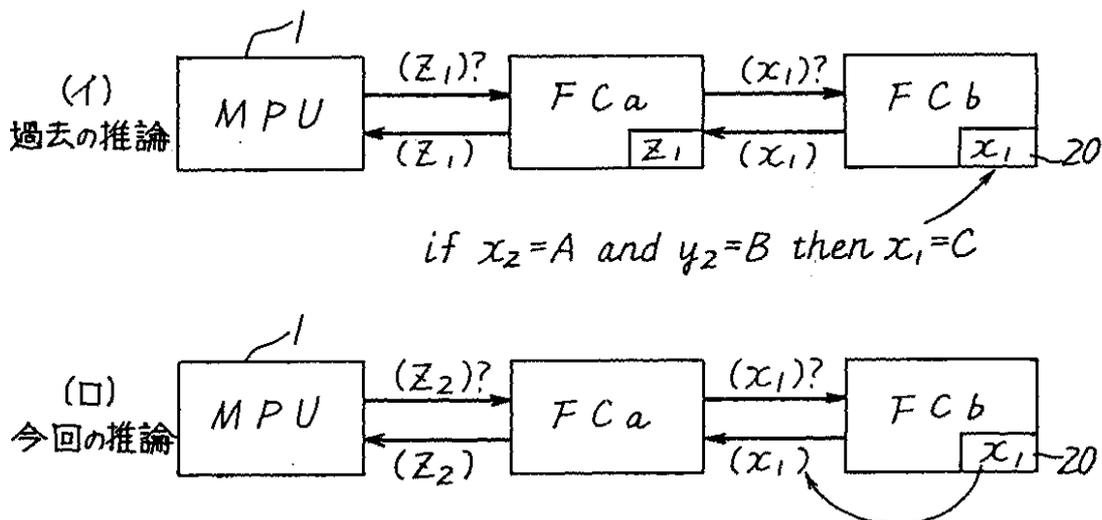
【第5図】

ルールコントローラのブロック図



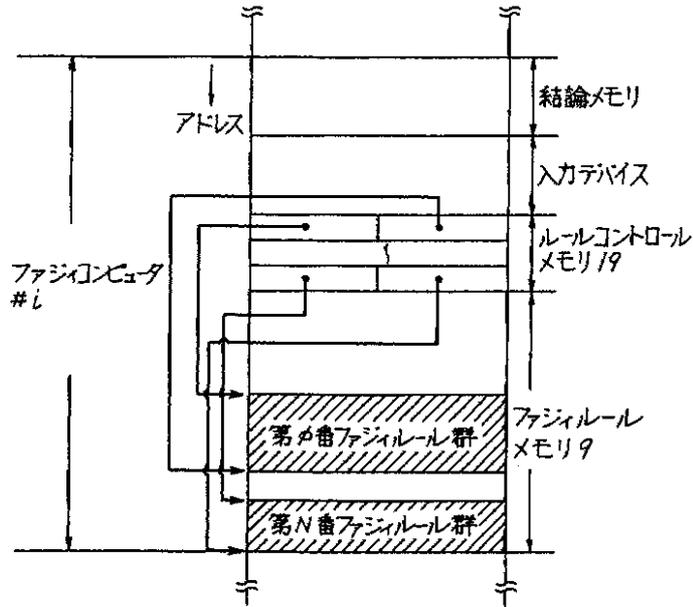
【第23図】

過去と同じ推論を行なう例(x1)



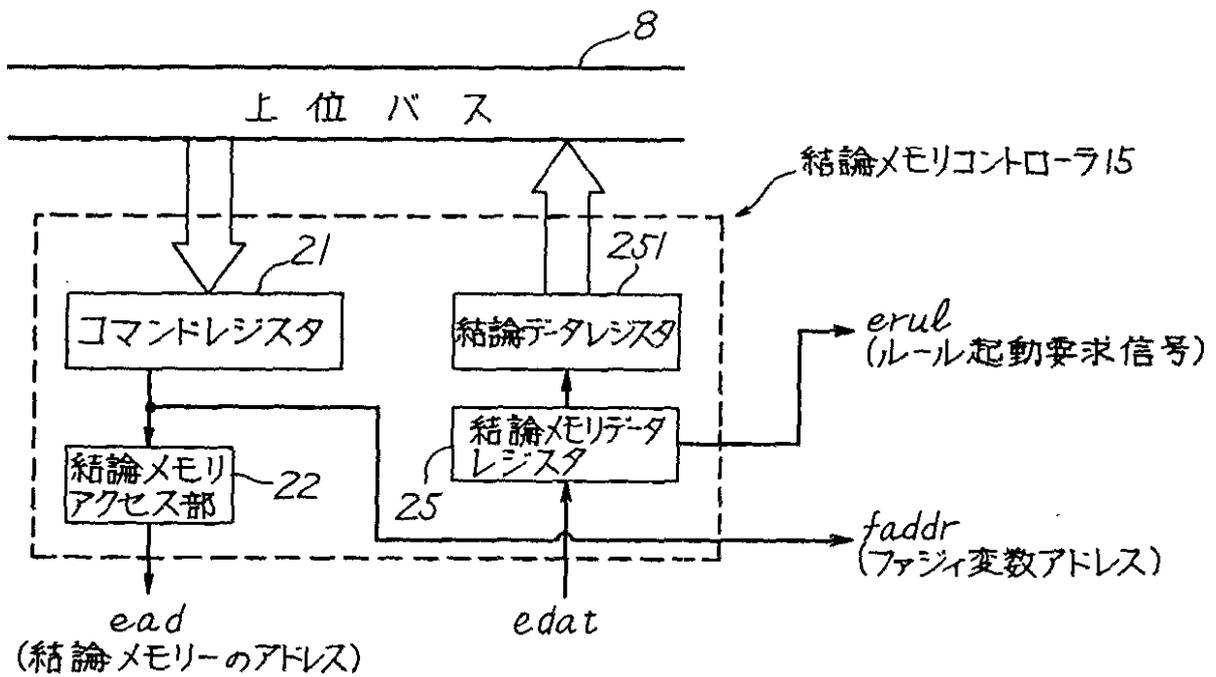
【第6図】

ファジイルールメモリとルールコントロール
メモリのメモリ上の関係を示す図



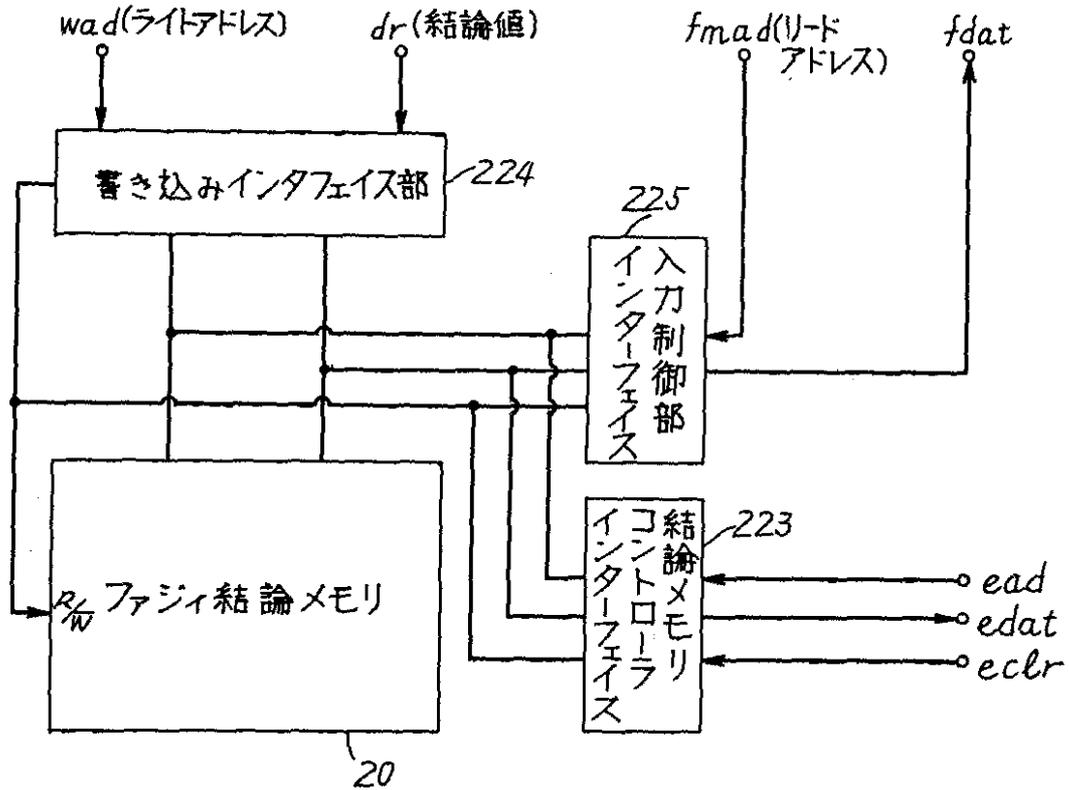
【第7図】

結論メモリコントローラ



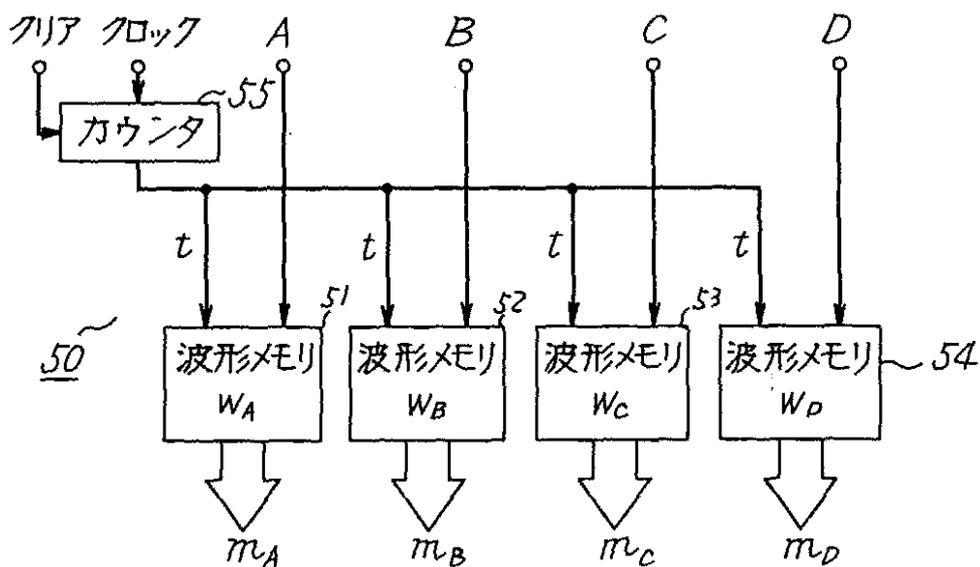
【第8図】

ファジィ結論メモリ部

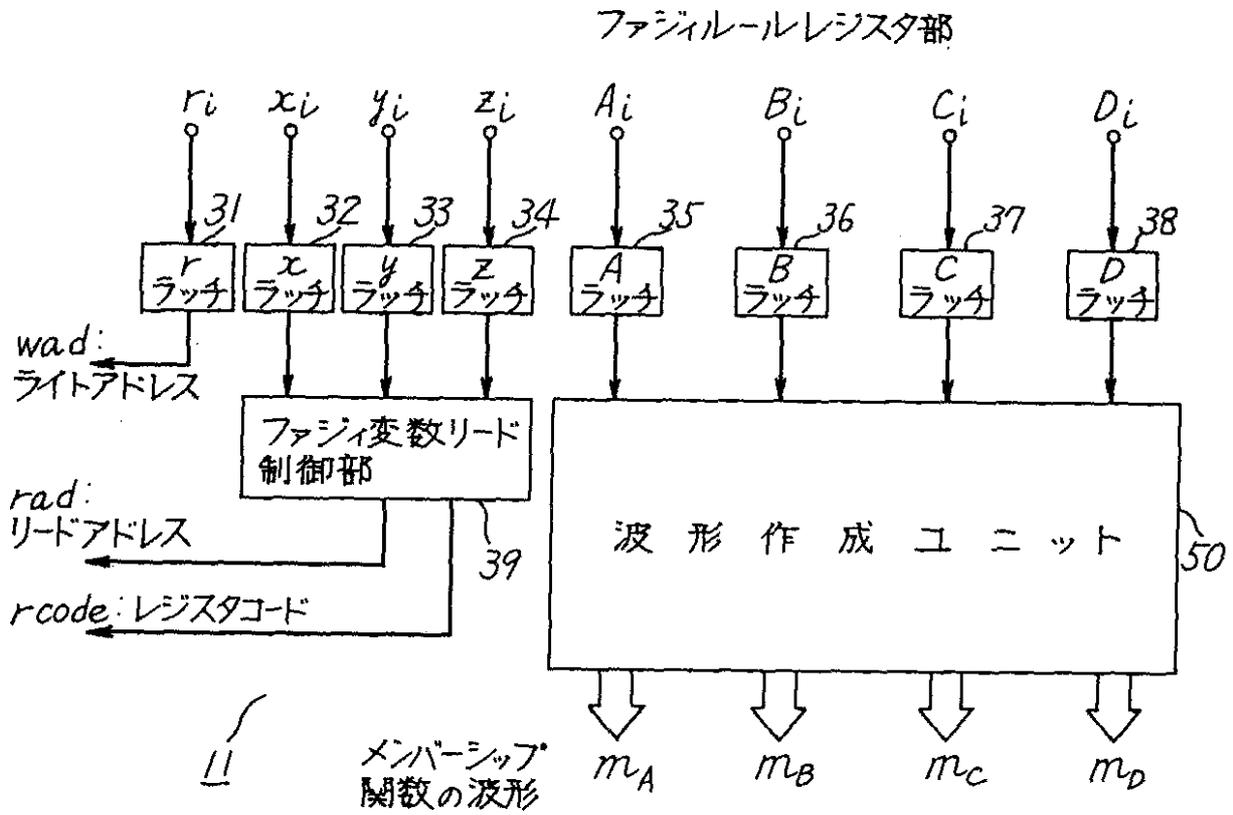


【第14図】

波形作成ユニット

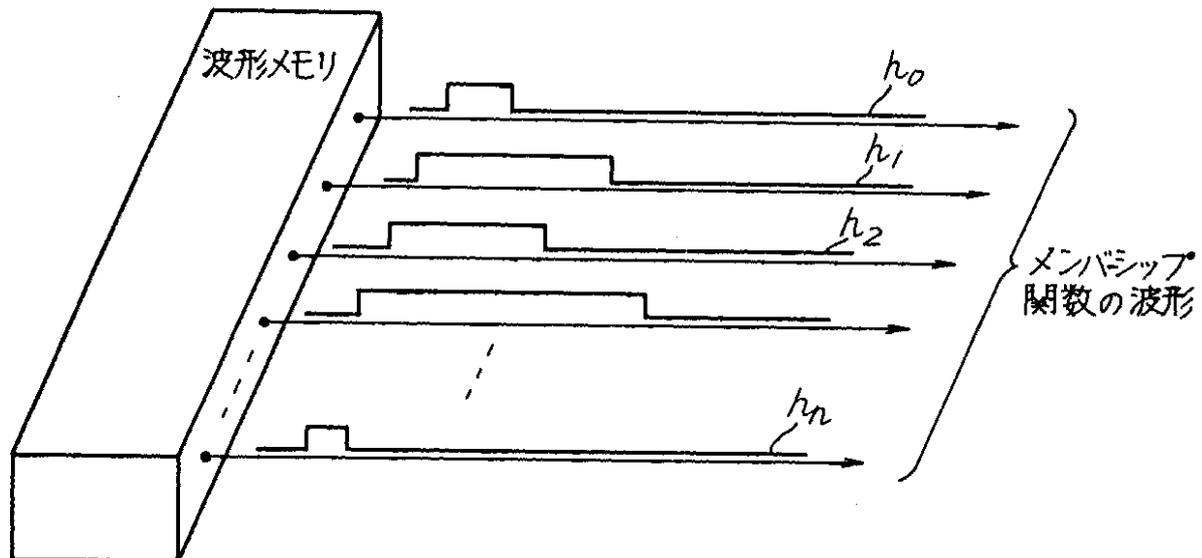


【第10図】



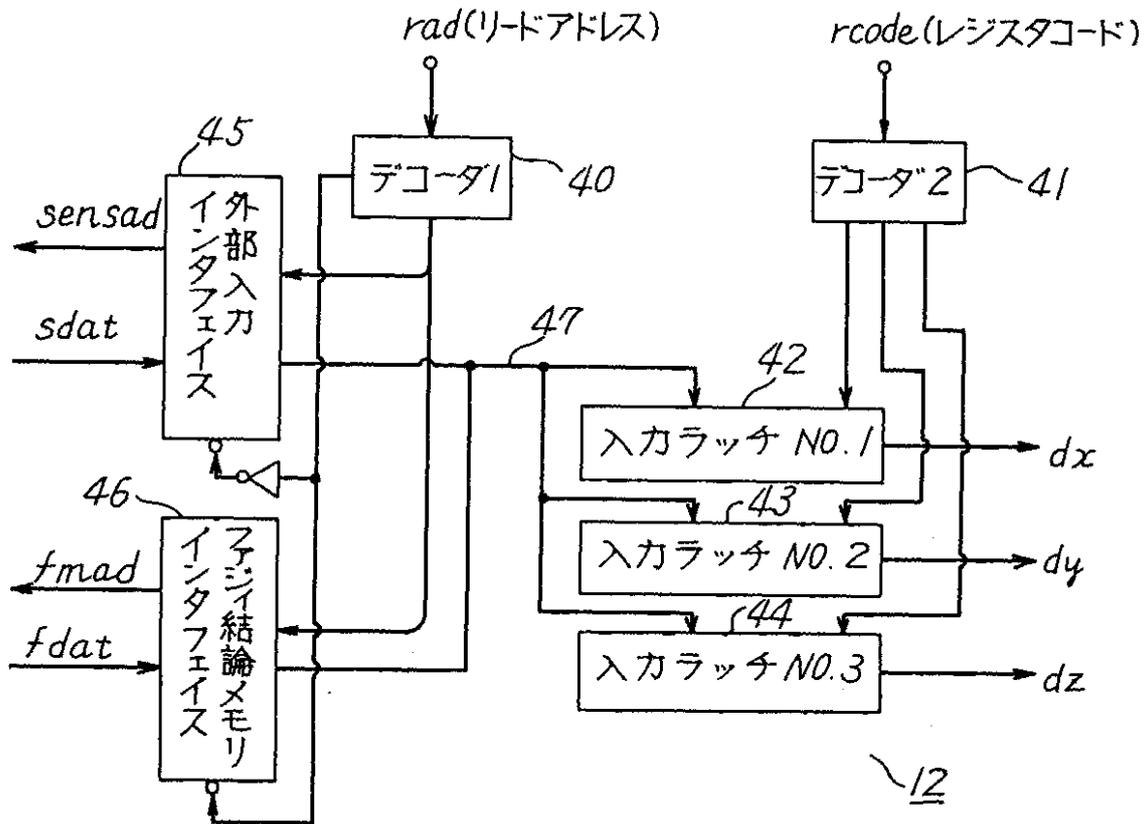
【第15図】

メンバーシップ関数の波形図



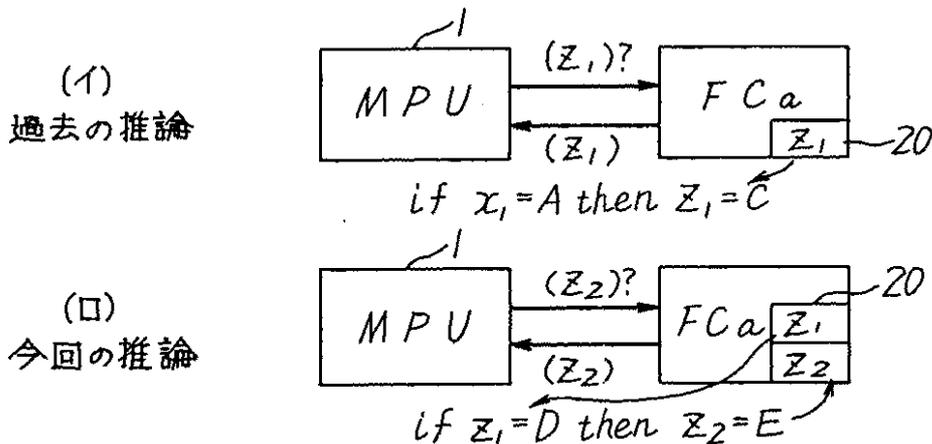
【第11図】

入力制御部



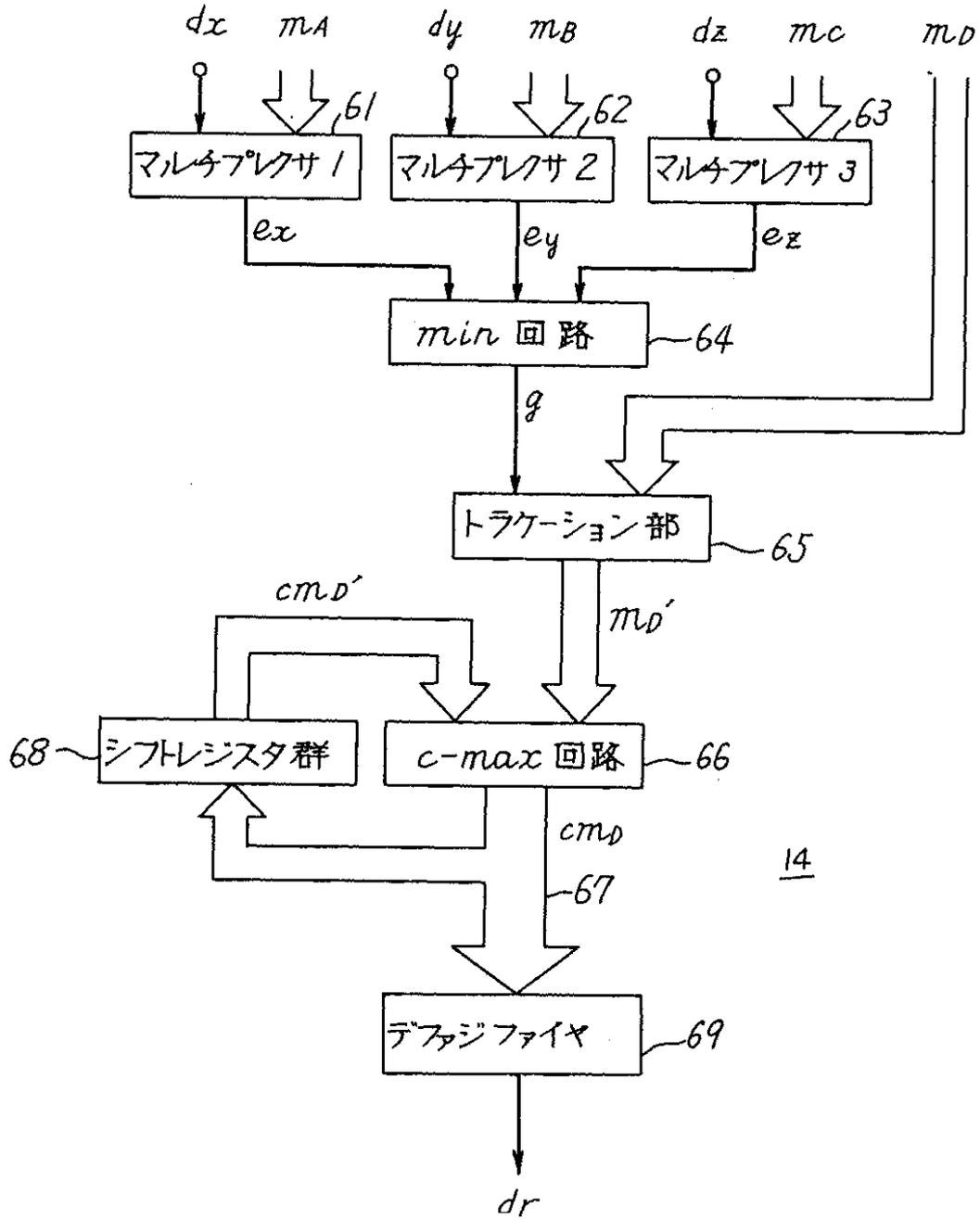
【第24図】

過去の結果を前件部の推論に使う例 (Z1)



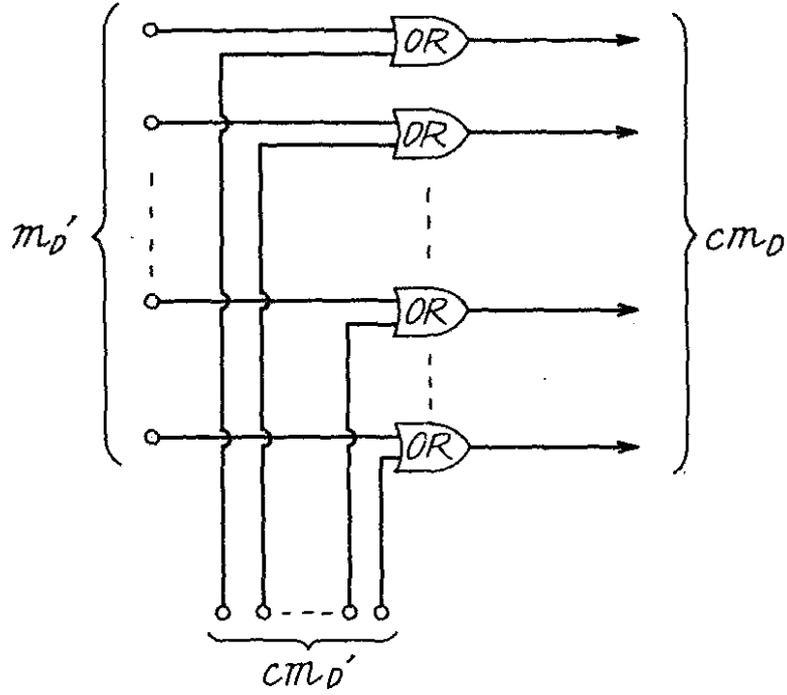
【第16図】

ファジィ推論部



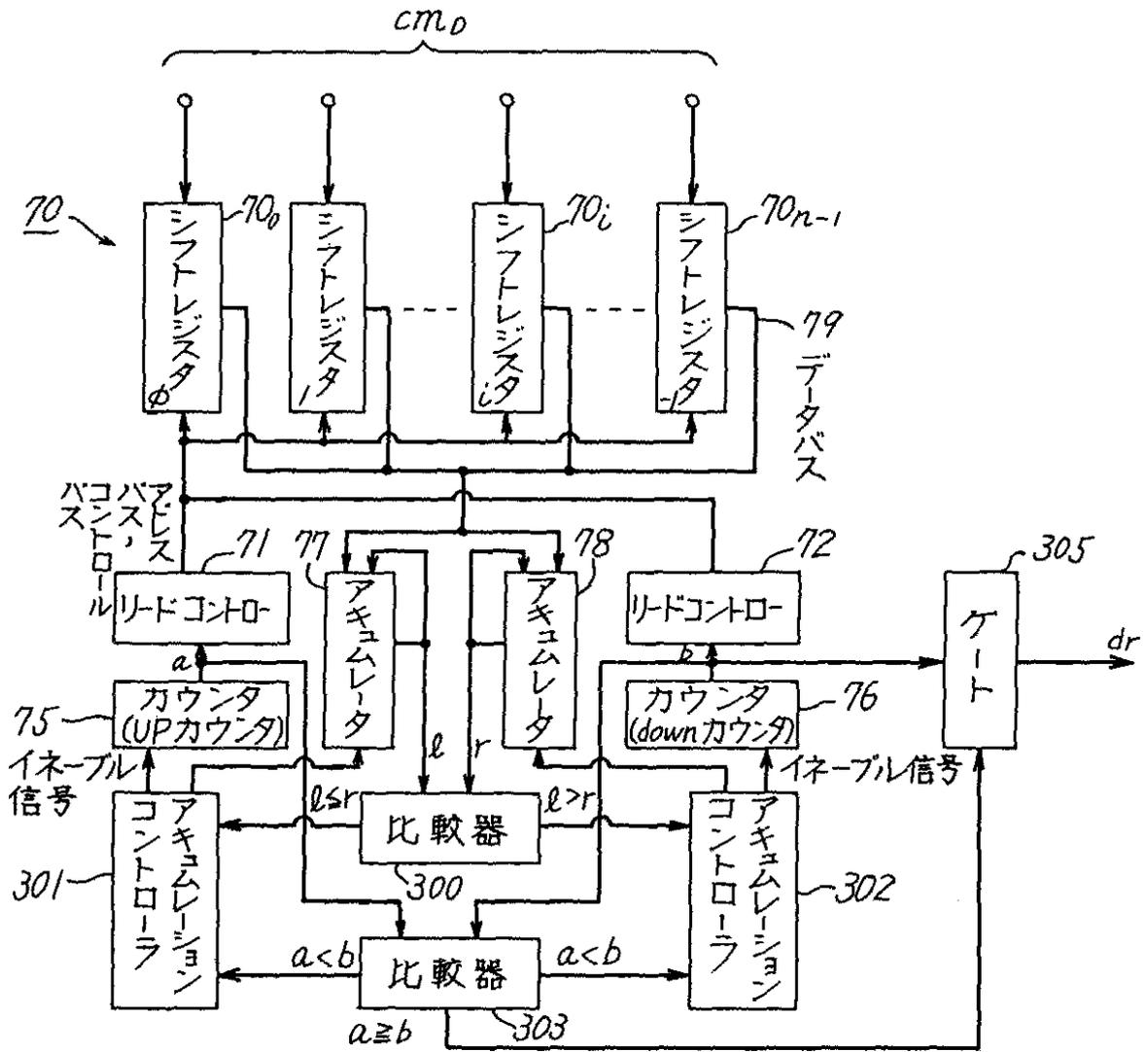
【第19圖】

c-max 回路



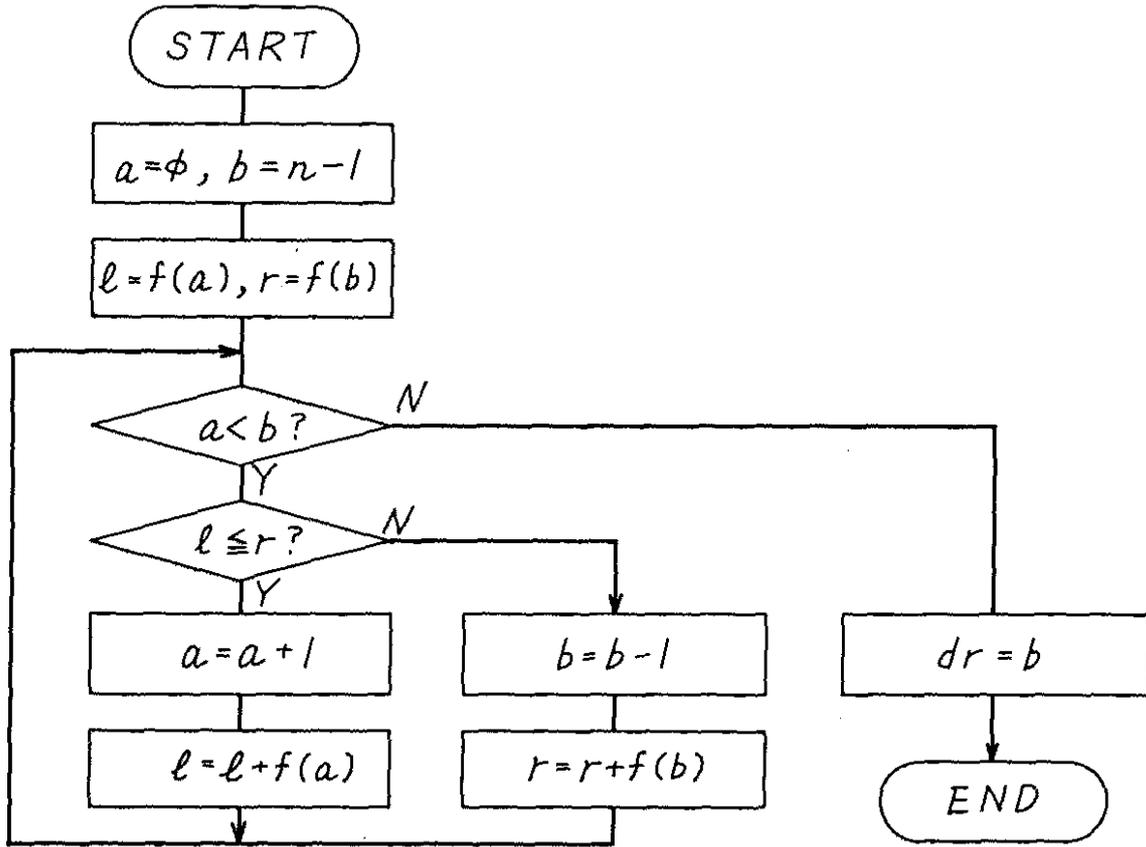
【第20図】

デファジファイヤ



【第21図】

デファジファイヤの処理フロー



a: カウンタ1の出力
b: カウンタ2の出力
l: アキュムレータ1の出力
r: アキュムレータ2の出力