(19)日本国特許庁（ＪＰ）　(12) 特 許 公 報（Ｂ２）　(11)特許番号

第2536182号

(45)発行日　平成８年(1996) ９月18日　(24)登録日　平成８年(1996) ７月８日

(51)Int.Cl.⁶	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ０５Ｂ　13/02		7531－3H	Ｇ０５Ｂ　13/02	Ｎ	
Ｇ０６Ｆ　9/44	５５４	7737－5B	Ｇ０６Ｆ　9/44	５５４Ａ	

請求項の数10（全 19 頁）

(21)出願番号　特願平1－236069
(22)出願日　平成１年(1989) ９月12日
(65)公開番号　特開平3－129401
(43)公開日　平成３年(1991) ６月３日
(31)優先権主張番号　特願昭63－244978
(32)優先日　昭63(1988) ９月28日
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願昭63－247108
(32)優先日　昭63(1988) ９月30日
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願平1　－45507
(32)優先日　平１(1989) ２月28日
(33)優先権主張国　日本（ＪＰ）
(31)優先権主張番号　特願平1　－155784
(32)優先日　平１(1989) ６月20日
(33)優先権主張国　日本（ＪＰ）

(73)特許権者　999999999
オムロン株式会社
京都府京都市右京区花園土堂町10番地
(72)発明者　大坪　豊
京都府京都市右京区花園土堂町10番地
立石電機株式会社内
(72)発明者　浦崎　一明
京都府京都市右京区花園土堂町10番地
立石電機株式会社内
(72)発明者　田坂　吉朗
京都府京都市右京区花園土堂町10番地
立石電機株式会社内
(74)代理人　弁理士　中村　茂信

審査官　渋谷　善弘

最終頁に続く

(54)【発明の名称】　ファジイ・コントローラ、ファジイ推論装置、ファジイルール管理装置、ファジイ・コントロール方法、ファジイ推論方法及びファジイルール管理方法

(57)【特許請求の範囲】

【請求項１】いくつかの入力パラメータのメンバーシップ関数を用いて、所定のファジイルールを適用して推論を行い、ファジイ推論値を出力するファジイ・コントローラにおいて、

ファジイ推論部の入力側及び／又は出力側に複数の言語修飾メンバーシップ関数の一つを用いて信号変換する信号変換部を設けるとともに、前記言語修飾メンバーシップ関数の１つを選択する手段を備え、入力パラメータを前記信号変換部で選択された言語修飾メンバーシップ関数を用いて変換して前記ファジイ推論部に入力し、及び／又はファジイ推論部からの出力値を前記信号変換部で選択された言語修飾メンバーシップ関数を用いて変換し、出力するようにしたことを特徴とするファジイ・コントローラ。

【請求項２】ファジイ推論を行う前件部と後件部と確定部を有するファジイ・コントローラにおいて、

入力信号のなかから絶対値が最大の信号を選び、その絶対値に応じた乗・除数を出力する倍率制御手段と、

コントローラ本体へ入力される信号値に、倍率制御手段から得られた乗数を乗算する入力側乗算器と、

コントローラ本体から出力される信号値を、倍率制御手段から得られた除数で除算する出力側除算器を備えたことを特徴とするファジイ・コントローラ。

【請求項３】１又は複数の入力信号に所定のルールとメンバーシップ関数とを適用してファジイ推論演算を行い、この推論結果に基づいて確定値を出力するファジイ演算手段を備えたファジイ・コントローラにおいて、

制御対象から得られる入力信号を前記ファジイ演算手段に適したレンジの信号に変換する入力レンジ変換回路、

前記ファジイ演算手段から得られる確定出力を制御対象によって要求されるレンジの信号に変換する出力レンジ変換回路、および、
入、出力信号の状態に応じて前記入、出力レンジ変換回路によるレンジ変換を制御する手段、
を備えたことを特徴とするファジイ・コントローラ。
【請求項４】ファジイルールで用いられるファジイ変数ごとに、当該ファジイ変数をファジイ推論手段の入出力に適合するための変換に用いる変換パラメータを記憶する記憶手段と、
ファジイ推論手段への入力変数を前記記憶手段に記憶された変換パラメータで変換する第１の変換手段と、
前記第１の変換手段による変換を受けた入力変数を用いてファジイ推論を実行するファジイ推論手段と、
前記ファジイ推論手段が推論結果として出力する出力変数を前記記憶手段に記憶された変換パラメータで変換する第２の変換手段を具備することを特徴とするファジイ推論装置。
【請求項５】ファジイルールと、センサやアクチュエータ毎の正規化パラメータがこのファジイルールの変数に対応して予め格納される記憶手段と、
センサの出力信号を前記ファジイの当該正規化パラメータにより正規化する第１の正規化手段と、
前記第１の正規化手段により正規化された信号と、前記記憶手段の当該ファジイルールによりファジイ推論する手段と、
前記ファジイ推論された値を前記記憶手段の当該正規化パラメータにより正規化し、アクチュエータに出力する第２の正規化手段とを有することを特徴とするファジイ・ルール管理装置。
【請求項６】いくつかの入力パラメータのメンバーシップ関数を用いて、所定のファジイルールを適用して推論を行い、ファジイ推論値を出力するファジイ・コントロール方法において、
ファジイ推論前に、複数の言語修飾メンバーシップ関数の中から選択した１つのメンバーシップ関数を用いて入力パラメータを変換するか、及び／又はファジイ推論後に、複数の言語修飾メンバーシップ関数の中から選択した１つのメンバーシップ関数を用いてファジイ推論値を変換し、出力することを特徴とするファジイ・コントロール方法。
【請求項７】前件部と後件部と確定部を有するコントローラ本体によってファジイ推論を行うファジイ・コントロール方法において、
入力信号の中から絶対値が最大の信号を選び、その絶対値に応じた乗数を、コントローラ本体に入力される信号値に乗算し、前記絶対値に応じた除数で、コントローラ本体から出力される信号値を除算することを特徴とするファジイ・コントロール方法。
【請求項８】１又は複数の入力信号に所定のルールとメンバーシップ関数とを適用してファジイ推論演算を行い、この推論結果に基づいて確定値を出力するファジイ・コントロール方法において、
制御対象から得られる入力信号を、前記推論結果に基づいて確定値を出力するのに適したレンジの信号に変換し、得られた確定出力を制御対象によって要求されるレンジの信号に変換し、入、出力信号の状態に応じて前記入、出力レンジ変換を制御することを特徴とするファジイ・コントロール方法。
【請求項９】ファジイルールで用いられるファジイ変数ごとに、当該ファジイ変数をファジイ推論の入出力に適合するための変換に用いる変換パラメータを記憶し、ファジイ推論への入力変数を前記記憶された変換パラメータで変換し、この変換した入力変数を用いてファジイ推論を実行し、ファジイ推論結果として出力する出力変数を前記記憶された変換パラメータで変換することを特徴とするファジイ推論方法。
【請求項１０】ファジイルールと、センサやアクチュエータ毎の正規化パラメータをファジイルールの変数に対応して予め格納し、センサの出力信号を前記ファジイの当該正規化パラメータにより正規化し、この正規化した信号と前記格納した当該ファジイルールとによりファジイ推論を行い、ファジイ推論した値を前記格納した当該正規化パラメータにより正規化し、アクチュエータに出力することを特徴とするファジイ・ルール管理方法。
【発明の詳細な説明】
（イ）産業上の利用分野
この発明は、ファジイ制御に使用されるファジイ・コントローラ、ファジイ推論装置、ファジイ・ルール管理装置、ファジイ・コントロール方法、ファジイ推論方法及びファジイ・ルール管理方法に関する。
（ロ）従来の技術
従来、制御対象から得られる１又は複数の制御量を表す信号を入力し、所定のメンバーシップ関数を用い所定のルールにしたがってファジイ推論を実行し、その確定値を制御対象に対する操作量として出力するファジイ・コントローラは、ファジイ・コントローラの入出力信号の入出力レンジは固定である。例えば、第２図に示すように、目標値ｒと制御対象出力y_nの偏差e_nと、１サンプリング時間単位の偏差変化量でΔe_n〔＝（$e_n - e_{n-1}$）／t〕をファジイ・コントローラ１に入力し、これらe_n及びΔe_nを入力パラメータとして、そのメンバーシップ関数を用いてファジイ・コントローラ１で所定のルールにしたがって推論を行い、操作の変化量u_nを出力し、制御対象２に制御対象入力uc_nを与えるものであった。そして、従来は、観測値がそのまま入力値とされ、あるいはファジイ・コントローラ推論部の推論結果がそのまま出力値として使用されていた。
また、一般に、ファジイ・コンピュータやファジイ・コントローラに用いられるファジイルールは、例えば

If x_1＝A　&　x_2＝B、then　y＝C
のように表現され、x_1、x_2が前件部のファジイ変数、A、Bが前件部のファジイラベル、yが後件部のファジイ変数、cが後件部のファジイ・ラベルと呼ばれ、これらのデータx_1、x_2、y、A、B、Cが記号列として表現され、ファジイルールファイルに保管される。

また、ファジイ・コンピュータやファジイ・コントローラにおいては、上記ファジイルールのラベルに対応するようにメンバーシップ関数を作成等し、ファイルに保管する。

（ハ）発明が解決しようとする課題

上記したように、従来のファジイ・コントローラの入出力は固定であった。ところが、ファジイ・コントローラの入出力端子に接続されるセンサやアクチュエータの入・出力レンジは０～5V、０～10V、１～5V、±5V、±10V等と千差万別であり、センサ、アクチュエータごとにレンジ変換器が必要であるという問題があった。

また、上記従来のファジイ・コントローラでは、ファジイ制御における観測値がそのまま入力値として使用され、またファジイ推論値がそのまま出力値として使用されるものであるため、入出力メンバーシップ関数を一定にしたままであれば、起動制御時、停止制御時に応答が長い。また、目標定値制御において、目標からのオフセットや振動が発生し易い等の問題があった。この問題は、メンバーシップ関数のスケールが一定なため、あるいは入出力が適用するメンバーシップ関数に対して一対一対応となっているためであり、これにより入出力ゲインがとれないため発生するものであった。

また、ファジイ・コントローラでは、入力値の範囲を通常７あるいは11個のメンバーシップ関数でカバーしている。このように少数のメンバーシップ関数では分解能が低くなり、入力値の把握が大雑把となる。そのため精度の良い入力値が得られても、その精度相応の精密な制御を行うことは不可能である。特に、入力値が安定した定常状態では、より高精度に出力値が制御されるのが望ましいのに、その要望を満たすことができないという問題がある。

また、制御対象の状態に応じて入出力ダイナミック・レンジをリアルタイムで変更して適応的に制御を行いたいときにも入出力レンジ固定のファジイ・コントローラでは全く対応できないという問題があった。

また、上記従来のファジイ・コンピュータやファジイ・コントローラにおいては、前件部のファジイ変数が一般にセンサの出力値であり、また、後件部のファジイ変数がアクチュエータの変動量等であるので、センサやアクチュエータ毎にゲインや出力値のオフセットが異なり、したがって、ファイルに保管されたファジイルールデータの調整等が面倒であるという問題点がある。

この発明は、上記各問題点に着目してなされたものであって、

①多種多様な入出力レンジのセンサやアクチュエータを外部回路なしで直結することができる。

②目標からの偏差が大きい場合には、目標に速く到達させ、また目標からの偏差が小さい場合に、目標からの偏差をより小さくし、振動を小さくし得て、適正な制御をなし得る。

③定常状態での制御を入力値の精度に応じて高精度で実行できる。

④入出力レンジをリアルタイムに変更することにより適応的な制御を行うことができる。

このようなファジイ・コントローラを提供することを目的とし、さらに、

⑤種々の入力変数出力変数に対応することができる。このようなファジィ推論装置を提供することを目的とし、さらに

⑥ファジィルールの各データを簡単に管理することができる。

このようなファジイルール管理装置を提供することを目的としている。

（ニ）課題を解決するための手段及び作用

この発明の第１請求項のファジイ・コントローラは、いくつかの入力パラメータのメンバーシップ関数を用いて、所定のファジイルールを適用して推論を行い、ファジイ推論値を出力するものにおいて、ファジイ推論部の入力側及び／又は出力側に複数の言語修飾メンバーシップ関数の一つを用いて信号変換する信号変換部を設けるとともに、前記言語修飾メンバーシップ関数の１つを選択する手段を備え、入力パラメータを前記信号変換部で選択された言語修飾メンバーシップ関数を用いて変換して前記ファジイ推論部に入力し、及び／又はファジイ推論部からの出力値を前記信号変換部で選択された言語修飾メンバーシップ関数を用いて変換し、出力するようにしたことを特徴とする。

又、このファジイ・コントローラに対応する第６請求項のファジイ・コントロール方法は、いくつかの入力パラメータのメンバーシップ関数を用いて、所定のファジイルールを適用して推論を行い、ファジイ推論値を出力するものにおいて、ファジイ推論前に、複数の言語修飾メンバーシップ関数の中から選択した１つのメンバーシップ関数を用いて入力パラメータを変換するか、及び／又はファジイ推論後に、複数の言語修飾メンバーシップ関数の中から選択した１つのメンバーシップ関数を用いてファジイ推論値を変換し、出力することを特徴とする。

上記ファジイ・コントローラ（及びファジイ・コントロール方法も同様）において、例えばファジイ推論部の入力側に信号変換部を設け、例えば第６図（A）の言語修飾メンバーシップ関数を選択して観測値をこの信号変換部を通して、ファジイ推論部に入力すると、偏差値等の観測値が実際より大きく強調して見せられ、出力量を

大きくすることができ、起動制御の制定時間を速くするとともに、定値制御時も良くなる。なお、言語修飾メンバーシップ関数をいずれにするかは、所要とする特性に応じ、選択手段により予め設定しておけばよい。

第２請求項のファジイ・コントローラは、ファジイ推論を行う前件部と後件部と確定部を有するものにおいて、入力信号のなかから絶対値が最大の信号を選び、その絶対値に応じた乗・除数を出力する倍率制御手段と、コントローラ本体へ入力される信号値に、倍率制御手段から得られた乗数を乗算する入力側乗算器と、コントローラ本体から出力される信号値を、倍率制御手段から得られた除数で除算する出力側除算器を備えたことを特徴とする。

このファジイ・コントローラに対応する第７請求項のファジイ・コントロール方法は、前件部と後件部と確定部を有するコントローラ本体によってファジイ推論を行うものにおいて、入力信号の中から絶対値が最大の信号を選び、その絶対値に応じた乗数を、コントローラ本体に入力される信号値に乗算し、前記絶対値に応じた除数で、コントローラ本体から出力される信号値を除算することを特徴とする。

上記ファジイ・コントローラ（及びファジイ・コントロール方法も同様）は、入力値が定常状態になると、倍率制御手段からの乗数に基づいて入力側乗算器が入力値を増幅し、その入力値により、前件部と後件部と確定部とでファジイ推論が行われ、出力された出力値を出力側除算器が縮小することにより、定常状態では入力精度に応じた精密な出力制御が可能となる。

第３請求項のファジイ・コントローラは、１又は複数の入力信号に所定のルールとメンバーシップ関数とを適用してファジイ推論演算を行い、この推論結果に基づいて確定値を出力するファジイ演算手段を備えたものにおいて、制御対象から得られる入力信号を前記ファジイ演算手段に適したレンジの信号に変換する入力レンジ変換回路、前記ファジイ演算手段から得られる確定出力を制御対象によって要求されるレンジの信号に変換する出力レンジ変換回路、および、入、出力信号の状態に応じて前記入、出力レンジ変換回路によるレンジ変換を制御する手段を備えたことを特徴とする。

このファジイ・コントローラに対応する第８請求項のファジイ・コントロール方法は、１又は複数の入力信号に所定のルールとメンバーシップ関数とを適用してファジイ推論演算を行い、この推論結果に基づいて確定値を出力するものにおいて、制御対象から得られる入力信号を、前記推論結果に基づいて確定値を出力するのに適したレンジの信号に変換し、得られた確定出力を制御対象によって要求されるレンジの信号に変換し、入、出力信号の状態に応じて前記入、出力レンジ変換を制御することを特徴とする。

上記ファジイ・コントローラ（及びファジイ・コントロール方法も同様）では、入力信号が入力レンジ変換回路で適正なレベルに変換されて、ファジイ演算手段に入力され、ファジイ演算手段の出力が出力レンジ変換回路で制御対象に対応した適正な出力に変換されて出力される。なお、入力レンジ変換回路及び出力レンジ変換回路の各レンジは、入、出力信号の状態に応じて制御される。

第４請求項のファジイ推論装置は、ファジイルールで用いられるファジイ変数ごとに、当該ファジイ変数をファジイ推論手段の入出力に適合するための変換に用いる変換パラメータを記憶する記憶手段と、ファジイ推論手段への入力変数を前記記憶手段に記憶された変換パラメータで変換する第１の変換手段と、前記第１の変換手段による変換を受けた入力変数を用いてファジイ推論を実行するファジイ推論手段と、前記ファジイ推論手段が推論結果として出力する出力変数を前記記憶手段に記憶された変換パラメータで変換する第２の変換手段を具備することを特徴とする。

このファジイ推論装置に対応する第９請求項のファジイ推論方法は、ファジイルールで用いられるファジイ変数ごとに、当該ファジイ変数をファジイ推論の入出力に適合するための変換に用いる変換パラメータを記憶し、ファジイ推論への入力変数を前記記憶された変換パラメータで変換し、この変換した入力変換を用いてファジイ推論を実行し、ファジイ推論結果として出力する出力変数を前記記憶された変換パラメータで変換することを特徴とする。

上記ファジイ推論装置（及びファジイ推論方法も同様）では、入力変数を記憶手段に記憶された変換パラメータで変換して、ファジイ推論手段に入力し、ファジイ推論手段よりの出力変数を記憶手段に記憶された変換パラメータで変換して出力するので、種々の入力変数、出力変数に対応できる。

第５請求項のファジイ・ルール管理装置は、ファジイルールと、センサやアクチュエータ毎の正規化パラメータがこのファジイルールの変数に対応して予め格納される記憶手段と、センサの出力信号を前記ファジイの当該正規化パラメータにより正規化する第１の正規化手段と、前記第１の正規化手段により正規化された信号と、前記記憶手段の当該ファジイルールによりファジイ推論する手段と、前記ファジイ推論された値を前記記憶手段の当該正規化パラメータにより正規化し、アクチュエータに出力する第２の正規化手段とを有することを特徴とする。

このファジイ・ルール管理装置に対応する第10請求項のファジイ・ルール管理方法は、ファジイルールと、センサやアクチュエータ毎の正規化パラメータをファジイルールの変数に対応して予め格納し、センサの出力信号を前記ファジイの当該正規化パラメータにより正規化し、この正規化した信号と前記格納した当該ファジイル

ールとによりファジイ推論を行い、ファジイ推論した値を前記格納した当該正規化パラメータにより正規化し、アクチュエータに出力することを特徴とする。

上記ファジイ・ルール管理装置（及びファジイ・ルール管理方法も同様）では、センサやアクチュエータ毎にゲインや出力値のオフセットが異なる場合、これらの値を正規化するためのパラメータを予め保持することにより、ファジイルールの変数等を調整する必要がなくなり、従って、ファジイルールの各データを簡単に管理することができる。

（ホ）実施例

以下、実施例により、この発明をさらに詳細に説明する。

<実施例１>

第１図は、この発明の一実施例ファジイ制御システムの要部を示すブロック図である。この実施例ファジイ制御システムは、ファジイ・コントローラ１に特徴があり、図示を省略しているが、その他は第２図に示すブロック図と同様である。ファジイ・コントローラ１は、入力信号変換部11と、ファジイ推論部12と、入力信号変換部11の言語修飾メンバーシップ関数を選択設定する設定器14と、出力信号変換部13の言語修飾メンバーシップ関数を選択設定する設定器15とから構成されている。入力信号変換部11及び出力信号変換部13には、それぞれ複数の言語修飾メンバーシップ関数を保有しており、設定器14、15により、それぞれ複数個のうちの１つが選択設定されるようになっている。これら入力信号変換部11及び出力信号変換部13については、後にさらに詳述する。

ファジイ推論部12は、入力信号変換部11を介して、偏差e_nと偏差の変化量Δe_nを入力として受け、第３図のテーブルで示すルールにしたがい、ファジイ推論を実行し、推論結果として出力操作の変化量u_nを出力信号変換部13を介して出力する。第３図のテーブルで必要な偏差e_n、偏差の変化量Δe_n及び出力値である操作の変化量のメンバーシップ関数は第５図に例示する通りである。ここで示すファジイラベルNL、…、PLの意味は第４図に示してあり、例えば入力の場合、NLは負で非常に大きい。NMは負でかなり大きい。NSは負でやや大きい。ZRはゼロ。PSは正でやや大きい。PMは正でかなり大きい。PLは正で非常に大きい。である。

第３図のルールテーブルでは、横方向に偏差e_nのファジイラベルNL、NM、…、PLを配列し、縦方向に偏差の変化量Δe_nのファジイラベルNL、NM、…、PLを配列している。各配列の交差する欄に、出力値である操作の変化量u_nのファジイラベルが示される。このルールテーブルにおいて、例えばe_n＝PL、Δe_n＝PL、u_n＝PLを例にとると、

もし（if）、偏差e_nがPL（正で非常に大きく）で、かつ偏差の変化量Δe_nがPL（正で非常に大きい）であるならば、操作の変化量u_nをPL（非常に大きく）にせよ。のルールを示したものであり、他のファジイラベルの場合も同様である。

入力信号変換部11に保有する言語修飾メンバーシップ関数は、第６図（A）に示すように観測値に対するファジイ・コントローラ入力値の関係を示すものであり、関数f_1、f_2、f_3、f_4、f_5である。これらの関数f_1、…、f_5は設定器14の切替えにより、１つが設定され、観測値が入力されると選択された言語修飾メンバーシップ関数により変換されて、ファジイ推論部12に入力される。今、例えば、観測値がａであり設定された関数が従来と同様のf_3であると、ファジイ推論部12への入力値はb_1となり、第６図（B）より、適用されるルールはファジイラベルPSとPMを含むものとなる。

ここで、設定器14を切替えて、言語修飾メンバーシップ関数f_5を選択すると、観測値ａが関数f_5で信号変換されてb_2がファジイ推論部12に入力される。第６図（B）に示すように、入力値がb_2であると、適用されるルールは、ファジイラベルPMとPLを含むものとなる。このような言語修飾メンバーシップ関数f_5を選択し、観測値をこの言語修飾メンバーシップ関数f_5を用いて変換し入力値とすると、観測値が実際より見かけ上大きくなり、それだけ出力量を大きくすることができ、起動制御時の制定時間を速くできる上に、定値制御時もより良好に制御できる。

出力信号変換部13に保有する言語修飾メンバーシップ関数は、第７図の（a）に示す関数f_{11}、f_{12}、f_{13}、f_{14}、f_{15}である。これらの関数f_{11}、…、f_{15}は、設定器15の切替えにより１つが設定され、ファジイ推論部12で得られたファジイ出力値が選択された言語修飾メンバーシップ関数により変換されて、出力信号変換部13より出力される。今、例えば選択された関数がf_{13}とすると、この関数f_{13}は１対１対応であり、この場合のファジイ出力を第７図の（b）のａとする。ここで、設定器15を切替えて言語修飾メンバーシップ関数f_{14}を選択すると、ファジイ推論部12の出力が、この言語修飾メンバーシップ関数f_{14}で変換され、第７図の（b）のa_1で示すファジイ出力になる。

ここで、ファジイ推論部12で、推論された最終結果が第８図（A）に示す特性である場合に、これを言語修飾メンバーシップ関数f_4で変換して出力すると、第８図（B）に示すようになる。このように、出力信号変換部13の言語修飾メンバーシップ関数を選択設定することにより、出力量のコントロールを行うことができ、きめの細かい制御が可能となる。

なお、上記実施例におけるファジイ・コントローラでは入力側と出力側の双方に信号変換部を設けているが、入力側あるいは出力側のいずれかにのみ信号変換部を設けてもよい。

<実施例２>

第９図は、この発明の他の実施例に係るファジイ・コ

ントローラの電気的構成を示すブロック図である。

図において、乗算器アレイ21は、入力される入力信号I_1～I_nをNi倍して、MAX回路24及びファジイ・コントローラ本体22へ送出する。ファジイ・コントローラ本体22では、Ni倍された入力信号I_1～I_nに基づいたファジイ推論がなされ、その出力を除算器アレイ23へ送出する。除算器アレイ23は、ファジイ・コントローラ本体22からの出力をNo分して、出力信号O_1、O_2として外部へ出力する。MAX回路24は、乗算器アレイ21からの出力を監視し、そのなかの最大出力値を抽出して、その絶対値を倍率制御部25へ送出する。倍率制御部25は入力された最大出力値に応じた乗数Ni、除数Noをそれぞれ乗算器アレイ21、除算器アレイ23へ送出する。

なお図中、乗算器アレイ21に入力される入力信号I_1～I_nは、乗算器アレイ21に許容される入力範囲にレベル変換されている。

第10図は、このファジイ・コントローラに入出力される言語値と、それに対応するメンバーシップ関数を示す図である。言語値は小さい順にNL、NM、NS、ZR、PS、PM、PLの７種類からなり、それぞれ三角形状のメンバーシップ関数で表されている。

第11図は、MAX回路24の内部を示す回路図である。

図では、入力信号I_1～I_nが、それぞれ逆方向のダイオードD1を介した後、ゲインが１のアンプA1に一括接続され、同時にそれぞれ順方向のダイオードD2を介した後、ゲインが－１のアンプA2に一括接続されている。アンプA1、A2の出力はダイオードD3、D4を介してから出力される。そのため、入力信号I_1～I_nのなかで絶対値の最大のものが正電位で出力される。

図示例では、ダイオードによりMAX回路24を構成したが、トランジスタを用いてMAX回路24を構成することもできる。

第12図は、倍率制御部25の内部を示す回路図である。

図に示されるように、MAX回路24の出力がコンパレータC1の負端子及びコンパレータC2の正端子にそれぞれ入力されて、それぞれ電圧V_L、V_Hと比較される。コンパレータC1、C2の出力が、それぞれダイオードD5、抵抗R4、またはダイオードD6を介してバッファB1へ送出されてから出力される。このコンパレータC1、C2とバッファB1は、GNDと正電位間の出力を出すものであり、出力が０ボルトであれば、出力Ni、Noは１であり、出力が正に増大する程、出力Ni、Noを増大していく。また、MAX回路24の出力設定電圧V_L以下になるとバッファB1とGND間に接続されたコンデンサＣが徐々に充電され、入力が設定電圧V_H以上になればコンデンサＣから急速に放電される。

次に以上のように構成されたファジイ・コントローラの動作について説明する。

運転開始時における立ち上がりや、外乱が加えられた場合、あるいは設定を変更した場合は、乗算器アレイ21に入力される入力信号I_1～I_nがNLからPLの全範囲内となり、同様に出力信号O_1、O_2もNLからPLの全範囲内となる。このときは絶対値の大きい入力信号I_1～I_nのいずれかの絶対値がMAX回路24から、倍率制御部25へ送られ、出力Ni、Noには１が出力される。その結果、乗算器アレイ21及び除算器アレイ23では、入力及び出力信号をそのまま通過させる。

制御対象が定常状態に収束してくると、入力信号I_1～I_nの変動範囲は、NM～PMあるいはNS～PSの範囲に狭まってくる。さらに収束してくると、入力信号I_1～I_nはほぼZRのメンバーシップ関数の範囲に納まる。このように入力信号I_1～I_nの変動範囲が狭まるにつれ、MAX回路24から、倍率制御部25へ送られる信号値が小さくなり、設定電圧V_L以下になると、徐々に出力Ni、Noが１以上に増加されていく。その結果、ファジイ・コントローラ本体22へは、入力信号I_1～I_nがNi倍されて入力される。その入力値によりファジイ推論されて出力された値は本来の値よりもNi倍されて出力されるが、除算器アレイ23でNo分されて正常な値に変換されてから出力される。

ここで、外乱等により定常状態から変動の大きい状態へ移行すると、MAX回路24から、倍率制御部25へ送られる信号値が大きくなり、設定電圧V_H以上になると、急速に出力Ni、Noが減少される。このように入力値の変動に対応したことにより、過渡応答についての改善がなされる。

なお、倍率制御部25の出力である乗数Ni、除数Noについては、定常状態で入・出力信号の関係が比例であれば、Ni＝Noとする。

また、ファジイ・コントローラ本体22で行われる制御は、例えば各入力信号がI_1＝NL、I_2＝PM、I_3＝PSならば出力をNSにせよというファジイルールが設定されており、これらのルールでは複数の入力信号を扱う。しかも定常状態では、大きく入力信号が安定した値をとり、一部の入力信号のみが出力に影響することが多い。このような場合には、MAX回路24への入力信号をファジイ・コントローラ本体22内の前件部出力から取り出した方が好ましい。

さらに、倍率制御部25の出力Niが大きくなり、乗算器アレイ21からの出力がファジイ・コントローラ本体22の入力範囲を越える場合は、乗算器アレイ21からの出力電圧を制限範囲内に制限する。

また、実施例では、入力信号I_1～I_nはアナログ値であったが、デジタルで処理する場合は、MAX回路24が入力信号の特定ビットを監視し、監視結果に基づいて、ビットシフトすることにより乗除処理が容易に実現できる。

以上のように構成したことにより、この実施例のファジイ・コントローラは、過渡期の応答性を犠牲にすることなく、定常状態を高精度に制御することができる。

＜実施例３＞

第13図はこの発明の実施例３に係るファジイ・コントローラとそれによって制御される制御対象とを示してい

る。

制御対象40は、制御量を検出するためのセンサ41と制御対象40を駆動するためのアクチュエータ42とを備えている。これらのセンサ41、アクチュエータ42は多種多様な入、出力レンジを有している。これらの多種多様な入、出力レンジに対応するために、ファジイ・コントローラ30には入力レンジ変換器50と、出力レンジ変換器60と、これらにおけるレンジ変換を制御するための制御回路70とが設けられている。制御対象40のセンサから与えられる制御量は変換器50によってファジイ演算回路30Aの入力に適したレンジの値に変換される。ファジイ演算回路30Aから出力される確定出力は変換器60によってアクチュエータ42の要求するレンジの値に変換され、操作量として出力される。第13図では制御対象40内には１個のセンサ41のみが示されているが、複数個設けられ、複数種類の制御量がファジイ・コントローラ30に与えられる場合もあるのはいうまでもない。レンジ変換器50は制御量の種類ごとに設けてもよいし、複数種類の制御量を１つの入力レンジ変換器で取り扱うようにしてもよい。

ファジイ・コントローラを含むファジイ・コントローラ・システム全体の構成の一例が第14図に示されている。

ファジイ・コントローラ30は、３つのデジタル・ユニット31〜33と多数のアナログ・ユニット34〜36とを備えている。デジタル・ユニット31はCPUユニットであり、CPUとROMやRAM等のメモリとを備えている。このCPUユニット31はアナログ・ユニット34〜36における各種の定数、係数等の設定とアナログ・ユニット34〜36の動作の監視（モニタ）とを行うものである。デジタル・ユニット32はメモリ・ユニットであり、たとえば各種データを記憶するRAMを備えている。デジタル・ユニット13は通信I/Fユニットであり、ユニット31のCPUが上位のコンピュータ41と交信するのを可能とする。

アナログ・ユニット34は入出力回路ユニットであり、制御対象40と他のアナログ・ユニット35、36とのインターフェイスとして働く。アナログ・ユニット36は入出力回路ユニット34を介して制御対象40から与えられる制御量入力に基づいて所定のファジイ推論演算を行うファジイ推論演算ユニットである。このファジイ推論演算ユニット36は多数個設けられる。アナログ・ユニット35は確定値演算ユニットであって、ファジイ推論演算ユニット36から得られるファジイ推論結果を総合してそれに対応する確定値を決定する（デファジファイ）ものである。この確定値出力は入出力回路ユニット34を経て制御対象40に操作量として与えられる。これらのアナログ・ユニット34〜36はアナログ・バス38により接続されている。したがって、ファジイ推論演算ユニット36等を任意に増減することが可能である。

また上記アナログ・ユニット34〜36はデジタル・バス39を介して上記のデジタル・ユニット31〜33と相互に接続されている。これにより、アナログ・ユニット34〜36の各種定数等がCPUユニット31のCPUによって任意に設定可能であるとともに、アナログ・ユニット34〜36の動作の監視が可能となる。

第13図との関連でいうと、入、出力レンジ切換器50、60は第15図に示すように、入出力回路ユニット34に含まれている。ファジイ演算回路30Aは複数のファジイ推論演算ユニット36と確定値演算ユニット35とから構成される。レンジ変換制御回路70はCPUユニット31に対応し、CPUユニット31内のCPUはデジタル・バス39およびデジタル・バスI/F回路71を介して入出力回路ユニット34内の入・出力レンジ変換器50、60を制御する。上位コンピュータ41にレンジ変換制御機能をもたせ、通信I/Fユニット33を介して入、出力レンジ変換器50、60を制御させるようにしてもよい。第15図において、制御対象からの入力信号が複数種類ある場合には、入力レンジ変換器50を複数個設けてもよいのは上述した通りである。

第16図は入力レンジ変換器50の構成例を示している。入力信号（センサから出力される制御量を表す信号）は電圧信号と電流信号に大別される。電流入力信号はI/V変換器55で電圧信号に変換される。入力信号が電流信号か電圧信号かに応じてアナログ・スイッチ56が制御される。いずれにしても入力信号は乗算器51に与えられる。乗算器51のゲインを表すデータがデジタル・バス39を通してD/A変換器53に与えられており、アナログ信号に変換されたゲインを表す信号が乗算器51に入力する。このようにして、入力信号はある定数倍される。

乗算器51の出力信号は、加算器52に入力する。一方、デジタル・バス39を経てD/A変換器54に与えられたオフセット・データはアナログ量に変換されて加算器52に与えられる。したがって、加算器52において入力信号にあるオフセット値が加算される。

以上のようにして、どのような入力レンジの信号に対しても、ある特定の正規化された電圧入力に変換することが可能である。アナログ・スイッチ56の切換制御データ、乗算器51のゲイン・データおよび加算器52のオフセット・データは上述のようにCPUユニット31からデジタル・バス39を通して与えられる。また加算器52の出力信号はアナログ・バス38を経て入力信号としてファジイ推論演算ユニット36に与えられる。

第17図は出力レンジ変換器60の構成例を示している。確定値演算ユニット35から出力される確定値信号は正規化された出力信号であり、これにゲイン用D/A変換器63の出力が乗算器61によって乗算されることにより、ある定数が掛けられたことになる。次にオフセット用D/A変換器64の出力と乗算器61の出力とが加算器62によって加算されることにより、どのようなレベルの電圧出力にでも変換することが可能である。出力信号を電流出力信号に変換したいときはV/I変換器65の出力をアナログ・スイッチ66によって選択することにより、どのようなレン

ジの電圧、電流出力にも対応することができる。

各D/A変換器63、64に与えられるゲイン・データ、オフセット・データおよびアナログ・スイッチ66の切換制御データはデジタル・バス39を経てCPUユニット31から転送されるのはいうまでもない。アナログ・スイッチ66の出力は入出力回路ユニット34を経て制御対象40に与えられる。

上記のレベル変換動作は全てCPUユニット31からデジタル・バス39を介して、リアルタイムに制御することができる。したがって制御対象が過渡的な動きをしているときに、大きく荒い制御をしようとすれば、入出力のゲイン設定用D/A変換器52、63に与えるゲインを大きくして制御系全体の応答性を良くしたり、制御対象40が定常状態にあるときは、ゲインを小さくして制御系全体の安定性を良くしたりというような多種多様な制御を行うことができる。たとえば第18図に示すようにある系の応答において立上がり時期や外乱が入ったときなど変化が激しいときには、第19図のフローにしたがって入、出力共にゲインを大きくして応答性を上げ、安定時には入、出力ゲインを小さくしてロバスト性を上げるというような処理も可能である。

＜実施例４＞

第20図は、本発明の実施例４に係るファジイルール管理装置を示すブロック図、第21図は、第20図のファジイルールファイルの記憶内容を示す説明図である。

第20図において、81は、センサ（不図示）の出力値x_1にゲインk_1を乗算する乗算器、82は、乗算器81の出力値$k_1\ x_1$にオフセット値a_1を加算する加算器、83は、他のセンサ（不図示）の出力値x_2にゲインk_2を乗算する乗算器、84は、乗算器81の出力値$k_2\ x_2$にオフセット値a_2を加算する加算器である。

85は、入力値f_1、f_2により例えばファジイルール

If　$f_1 = A_1$ & $f_2 = A_2$、then $y_1 = B_1$

のようなファジイ推論を行うファジイ推論部であり、f_1、f_2が前件部のファジイ変数であり、A_1、A_2が前件部のファジイラベルであり、y_1が後件部のファジイ変数であり、B_1が後件部のファジイラベルである。

86は、ファジイ推論部85により推論された値y_1にゲインk_3を乗算する乗算器、87は、乗算器86の出力値$y_3\ k_3$にオフセット値a_3を加算する加算器であり、上記ゲインk_1、k_2、k_3、オフセット値a_1、a_2、a_3はそれぞれ、レジスタ91〜96に格納されている。

100は、上記ファジイルールデータの前件部のファジイ変数f_1、f_2及びファジイラベルA_1、A_2と、後件部のファジイ変数y_1及びファジイラベルB_1が格納されるとともに、センサやアクチュエータ毎の正規化パラメータデータが格納されるファジイルールファイルであり、第21図に示すように、ゲインk_1、k_2、k_3、オフセット値a_1、a_2、a_3が正規化パラメータとしてファジイ変数x_1、x_2、y_1に対応するように格納されている。

101は、ファジイルールファイル100に格納されたファジイルールデータをファジイ推論部95にセットしたり、正規化パラメータデータを正規化パラメータ設定部102にセットするファジイルール管理部であり、正規化パラメータ設定部102は、正規化パラメータk_1、k_2、k_3、a_1、a_2、a_3をそれぞれレジスタ91〜96に設定する。

次に、上記実施例の動作を説明する。

第20図において、２つのセンサがそれぞれ信号x_1、x_2を出力し、アクチュエータが入力値g_1により正しく動作し、また、ファジイ推論部85がファジイルール

If　$f_1 = A_1$ & $f_2 = A_2$、then $y_1 = B_1$

を実行する場合、センサの出力値x_1、x_2を直接ファジイ推論部85に入力してファジイ推論部85の出力値を直接アクチュエータに出力すると、センサやアクチュエータの特性により、正しくファジイ推論することができない。

そこで、センサとアクチュエータの特性に応じて予め正規化パラメータをファジイルールファイル100に設定し、ファジイルール管理部101は、ファジイ推論部85にセットされるファジイルールを構成する各ファジイ変数に対応する正規化パラメータを読出し、正規化パラメータ設定部102は、それぞれの正規化パラメータをレジスタ91〜96にセットする。

したがって、センサの出力値x_1、x_2はそれぞれ、乗算器81、83、加算器82、84により

$f_1 = k_1\ x_1 + a_1$

$f_2 = k_2\ x_2 + a_2$

のように正規化されるので、ファジイ推論部85は、ファジイルール管理部101によりセットされたファジイルールを正しく実行することができる。

また、ファジイ推論部85により正しく推論された値y_1は、乗算器86、加算器87により

$g_1 = k_3\ y_1 + a_3$

のように正規化されたアクチュエータに出力され、したがってアクチュエータは正常に動作する。

（ヘ）発明の効果

この発明の第１請求項（及び第６請求項も同様）によれば、ファジイ推論部の入力側及び出力側のいずれか一方、若しくは双方に言語修飾メンバーシップ関数によって信号変換する信号変換部を備え、その信号変換部の言語修飾メンバーシップ関数を適宜選択することにより、種々の出力を導出でき、目的とする制御対象に合致させた制御を行うことができる。

又、目標からの偏差が大きい場合には、目標に速く到達させることができるし、目標からの偏差が小さい場合は、きめ細かい制御を行い、目標からの偏差をより小さくするとともに振動を小さくできる利点がある。

第２請求項（及び第７請求項も同様）によれば、ファジイ推論を行う前件部と後件部と確定部を有するファジイ・コントローラにおいて、入力信号の中から絶対値が最大の信号を選び、その絶対値に応じた乗・除数を出力

する倍率制御手段と、コントローラ本体へ入力される信号値に、倍率制御手段から得られた乗数を乗算する入力側乗算器と、コントローラ本体から出力される信号値を、倍率制御手段から得られた除数で除算する出力側除算器を備えているので、定常状態では入力精度に応じた精密な出力制御が可能となる。

第３請求項（及び第８請求項も同様）によれば、入、出力レンジ変更の制御可能な入、出力レンジ変換回路が設けられているので、接続されるセンサやアクチュエータの多種多様な入、出力条件に対応することができる。又、制御対象が過渡的に大きく変化しているときと定常状態のように余り変化がないときとの間で入、出力のダイナミック・レンジを変化させることにより、変化が大きいときには荒く大きく、変化が小さいときにはきめ細かく、小さく適応的にダイナミック・レンジを変えて制御を行うことが可能となる。

第４請求項（及び第９請求項も同様）によれば、ファジイルールで用いられるファジイ変数ごとに、当該ファジイ変数をファジイ推論装置の入出力に適合するための変換に用いる変換パラメータを記憶する記憶手段と、ファジイ推論への入力変数を記憶手段に記憶された変換パラメータで変換する第１の変換手段と、第１の変換手段による変換を受けた入力変数を用いてファジイ推論を実行するファジイ推論手段と、ファジイ推論手段が推論結果として出力する出力変数を記憶手段に記憶された変換パラメータで変換する第２の変換手段とを備えているので、種々の入力変数、出力変数に対応できる。

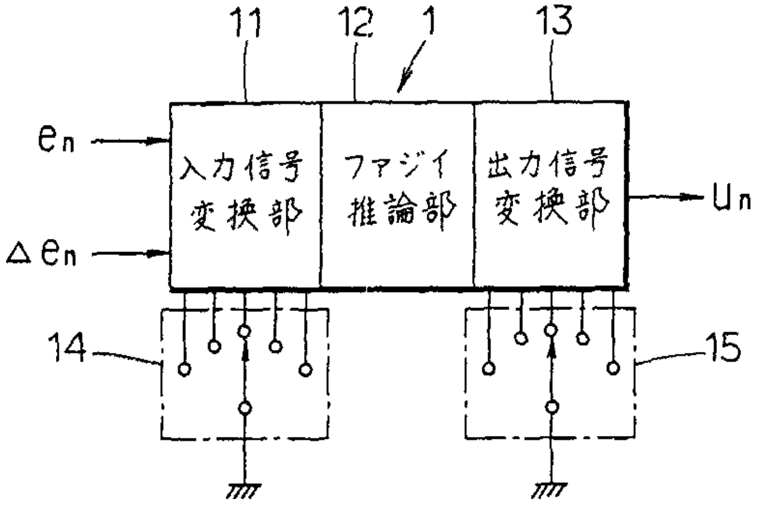
第５請求項（及び第10請求項も同様）によれば、ファジイルールと、センサやアクチュエータ毎の正規化パラメータをこのファジイルールの変数に対応して予め記憶し、センサの出力信号を当該正規化パラメータにより正規化して当該ファジイルールによりファジイ推論し、このファジイ推論された値を当該正規化パラメータにより正規化し、アクチュエータに出力するようにしたので、センサやアクチュエータ毎にゲインや出力値のオフセットが異なる場合、これらの値を正規化するためのパラメータを予め保持することにより、記憶手段に保持されたファジイルールの変数等を調整する必要がなくなり、従って、ファジイルールの各データを簡単に管理することができる。

【図面の簡単な説明】

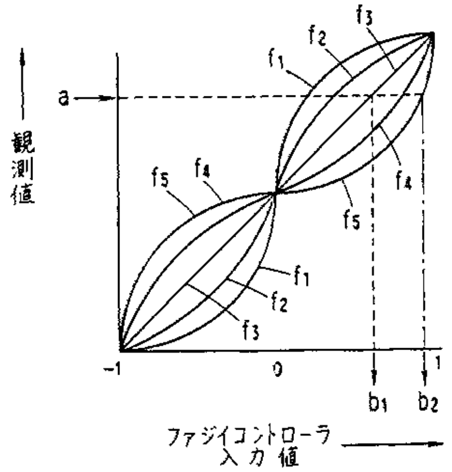
第１図は、この発明の実施例１のファジイ制御システムの要部を示すブロック図、第２図は、一般的なファジイ制御システムの基本構成を示すブロック図、第３図は、上記実施例のファジイ推論部で使用されるルールテーブルを示す図、第４図は、ファジイラベルの意味を説明するための図、第５図は、偏差、偏差の変化量及び操作の変化量のメンバーシップ関数を示す図、第６図（Ａ）及び第６図（Ｂ）は、入力信号変換部の言語修飾メンバーシップ関数を説明するための図、第７図は、出力信号変換部の言語修飾メンバーシップ関数を説明するための図、第８図（Ａ）及び第８図（Ｂ）は、出力信号変換部における信号変換の様子を説明するための図、第９図は、この発明の実施例２に係るファジイコントローラの電気的構成を示すブロック図、第10図は、同ファジイ・コントローラに入出力される言語値とメンバージップ関数を示す図、第11図は、同ファジイ・コントローラのMAX回路の内部を示す回路図、第12図は、同ファジイ・コントローラの倍率制御部の内部を示す回路図、第13図は、この発明の実施例３の要点を示すブロック図、第14図は、ファジイ・コントローラ・システム全体を示すブロック図、第15図は、入出力回路ユニットの構成を示すブロック図、第16図及び第17図はそれぞれ入、出力レンジ変換器の構成例を示すブロック図、第18図は、制御系の変化の様子を示すグラフ、第19図は、ゲイン制御の処理手順を示すフロー・チャート、第20図は、本発明の実施例４に係るファジイルール管理装置の一実施例を示すブロック図、第21図は、第20図のファジイルールファイルの記憶内容を示す説明図である。

1:ファジイ・コントローラ、
11:入力信号変換部、
12:ファジイ推論部、
13:出力信号変換部、
14・15:関数選択用の設定器。
21:乗算器アレイ、
22:ファジイ・コントローラ本体、
23:除算器アレイ、
24:MAX回路、
25:倍率制御部、
A1・A2:アンプ、
B1:バッファ、
C:コンデンサ、
C1・C2:コンパレータ、
D1～D6:ダイオード、
R1～R4:抵抗、
30:ファジイ・コントローラ
31A:ファジイ演算回路、
50:入力レンジ変換回路、
60:出力レンジ変換器、
70:レンジ変換制御回路。
81・83・86:乗算器、
82・84・87:加算器、
85:ファジイ推論部、
100:ファジイルールファイル、
101:ファジイルール管理部、
102:正規化パラメータ設定部、
91～96:レジスタ。

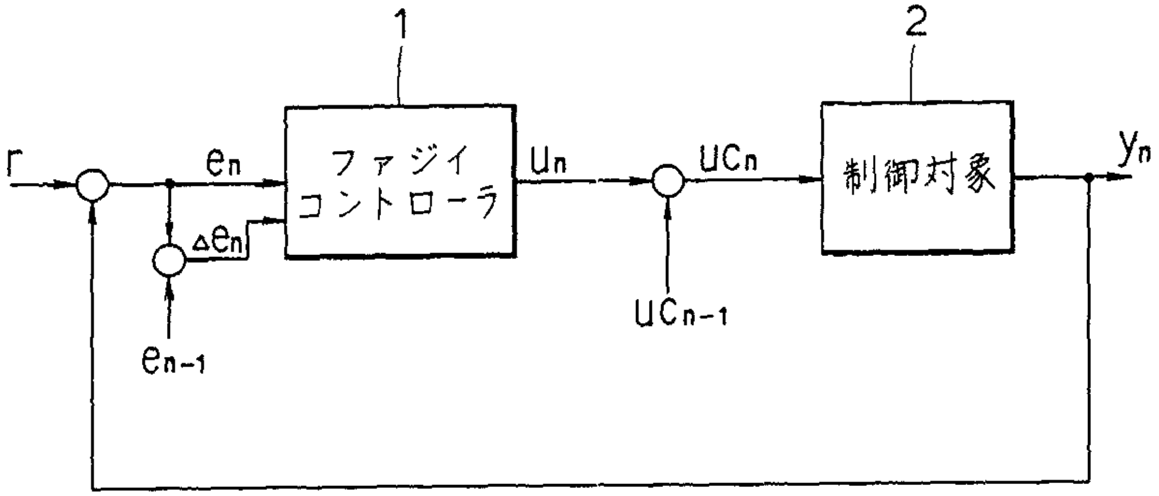
【第１図】



【第６図（A）】



【第２図】



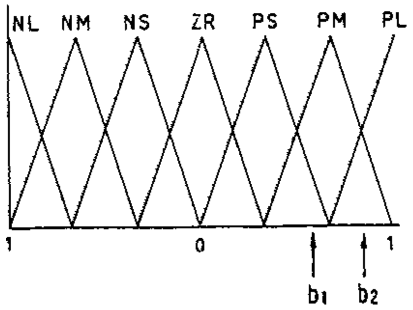
【第４図】

	入　力	出　力
ＮＬ	負で非常に大きい	負で非常に大きくする
ＮＭ	負でかなり大きい	負でかなり大きくする
ＮＳ	負でやや大きい	負でやや大きくする
ＺＲ	ゼロ	なにもしない
ＰＳ	正でやや大きい	正でやや大きくする
ＰＭ	正でかなり大きい	正でかなり大きくする
ＰＬ	正で非常に大きい	正で非常に大きくする

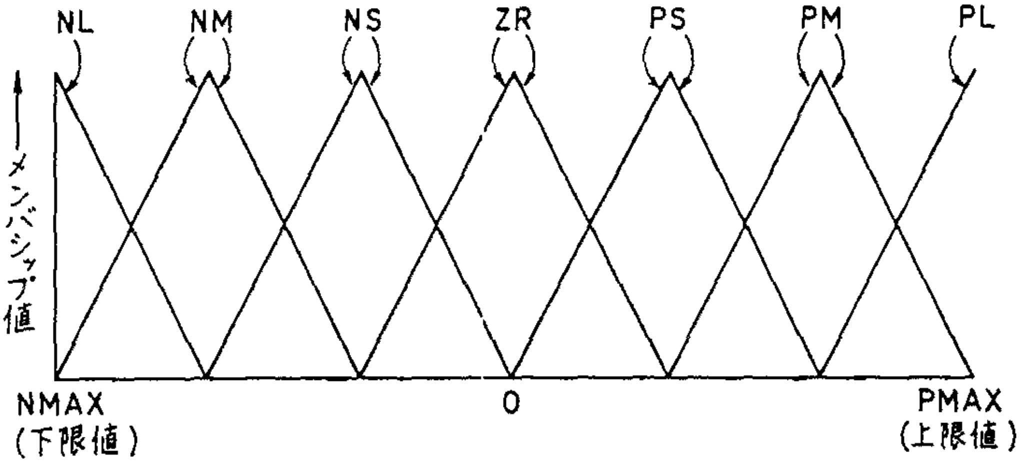
【第３図】

Δe_n ＼ e_n	NL	NM	NS	ZR	PS	PM	PL
NL	NL	NL	NM	NL			
NM	NL	NM	NM	NM			
NS	NM	NM	NS	NS			
ZR	NL	NM	NS	ZR	PS	PM	PL
PS				PS	PS	PM	PM
PM				PM	PM	PM	PL
PL				PL	PM	PL	PL

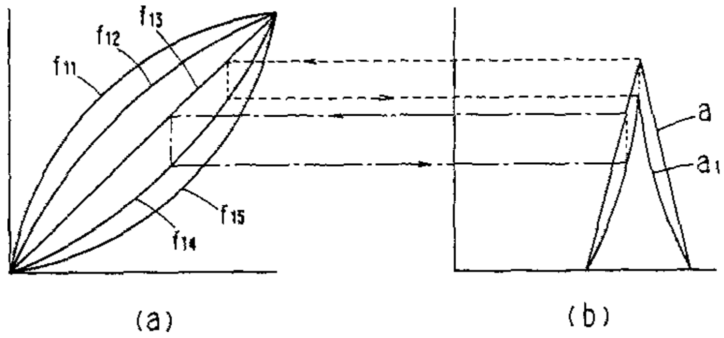
【第６図（Ｂ）】



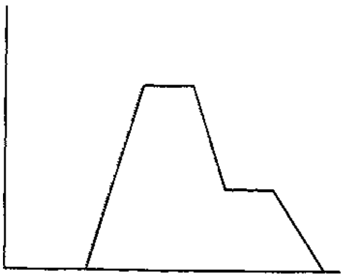
【第５図】



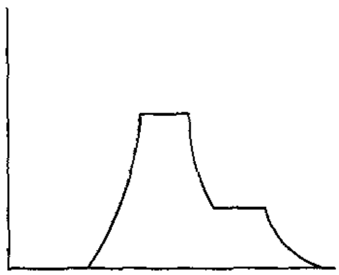
【第７図】



【第８図（Ａ）】



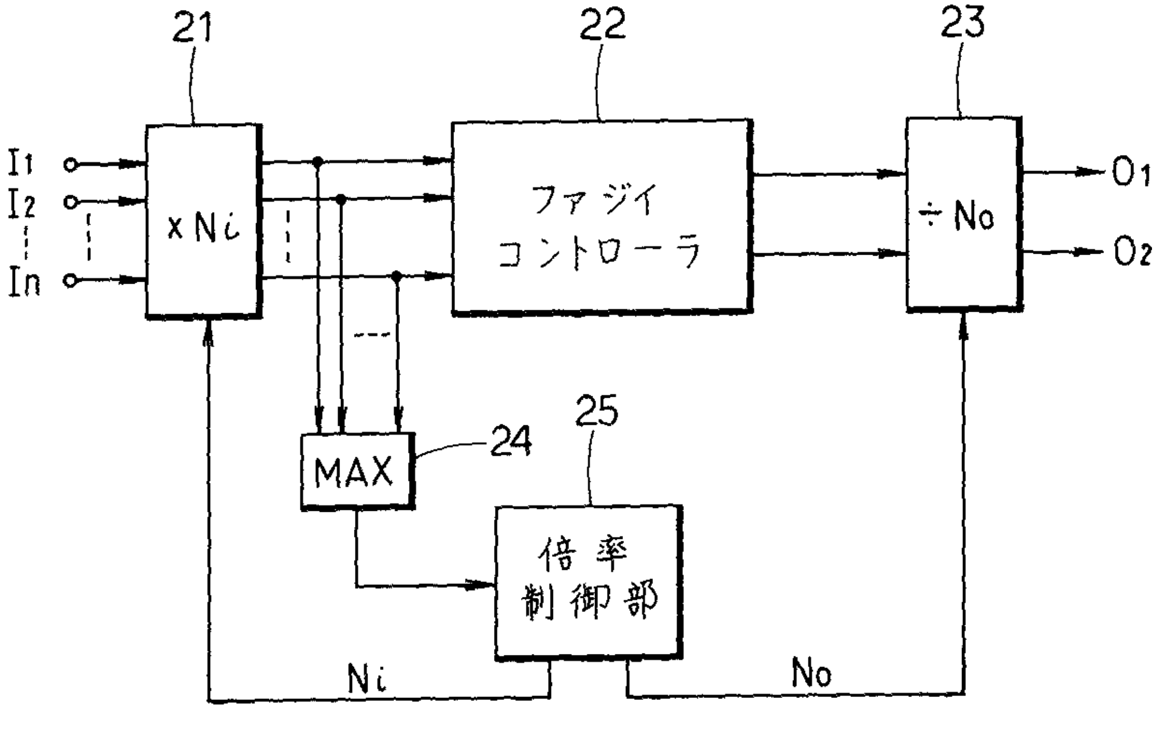
【第８図（Ｂ）】



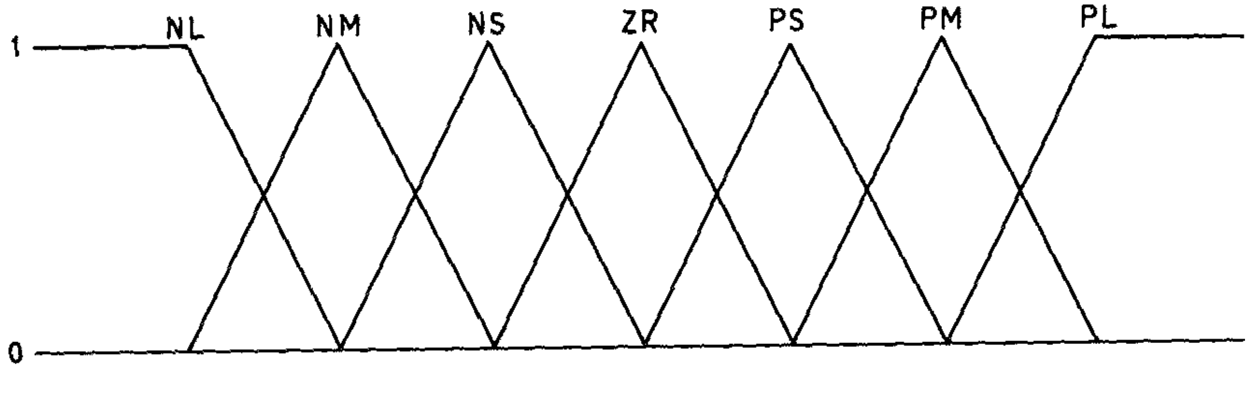
【第２１図】

ファジイ変数	正規化パラメータ(ゲイン)	正規化パラメータ(オフセット)
x_1	k_1	a_1
x_2	k_2	a_2
y_1	k_3	a_3

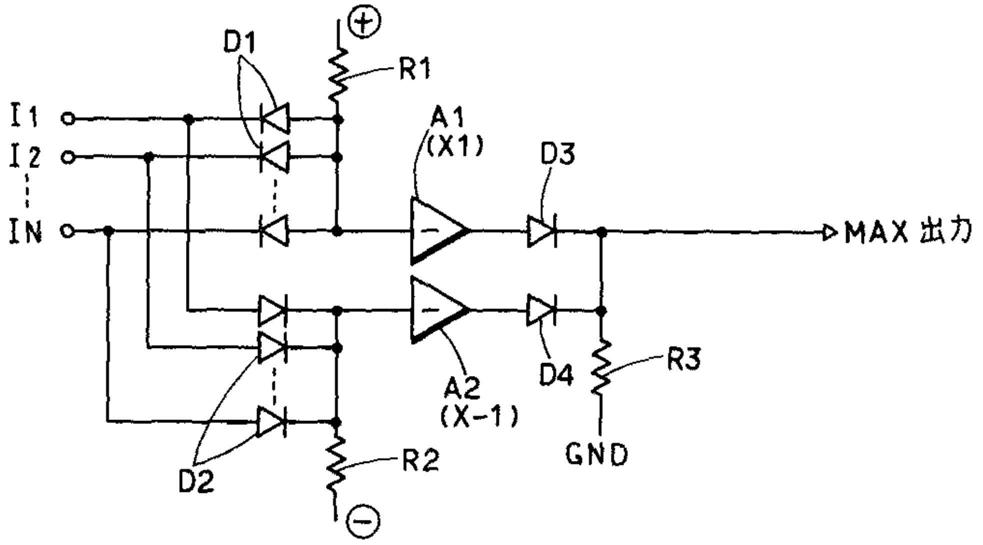
【第９図】



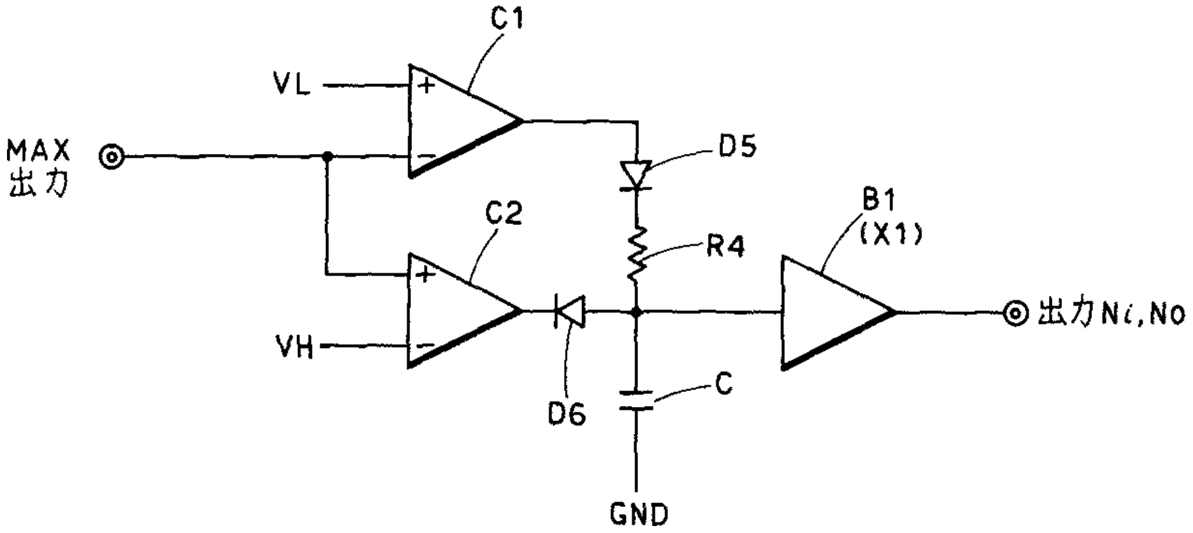
【第１０図】



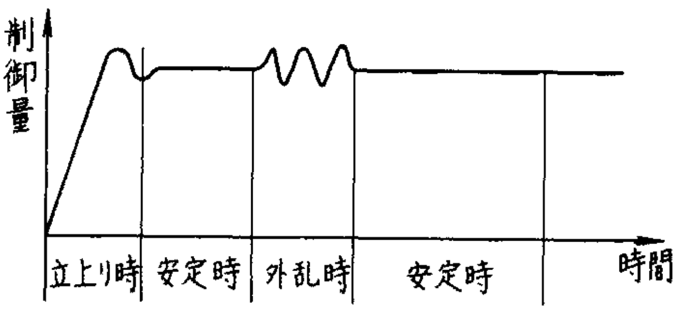
【第１１図】



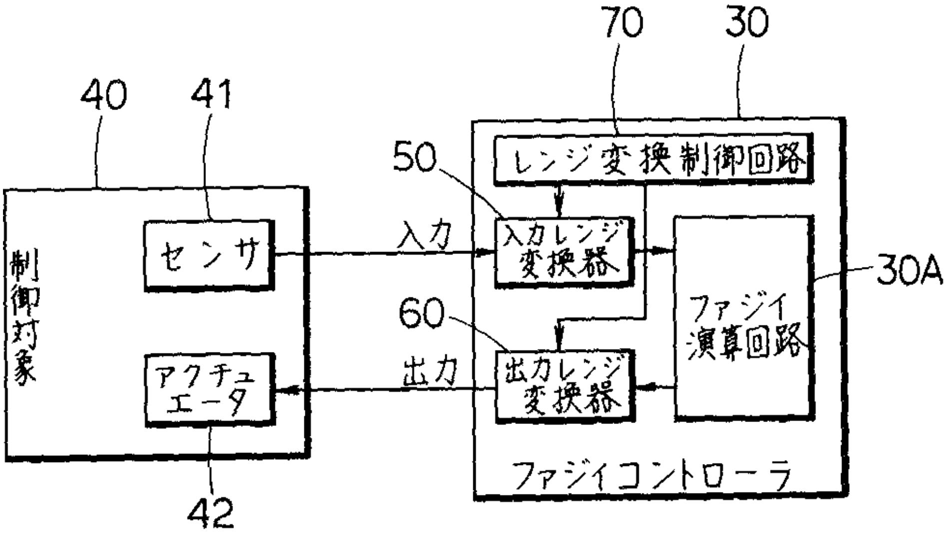
【第１２図】



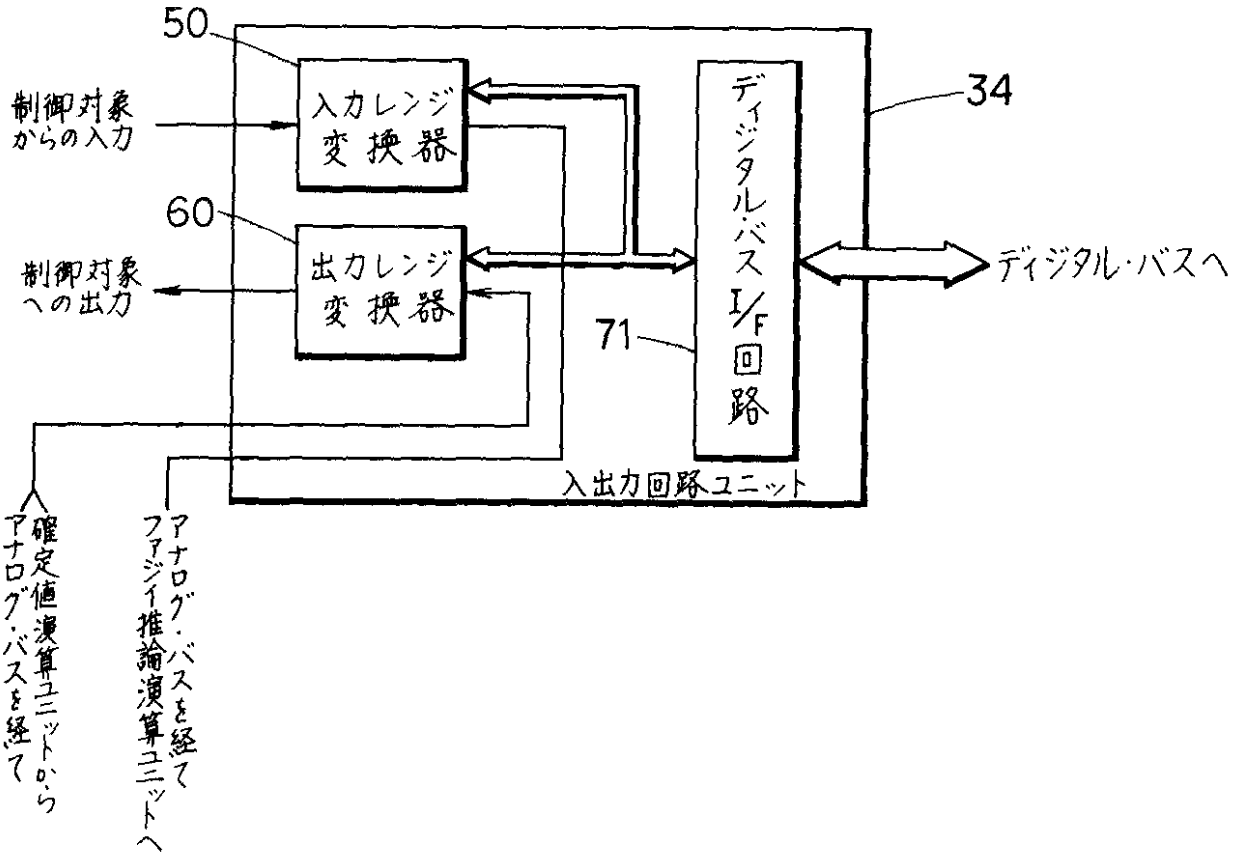
【第１８図】



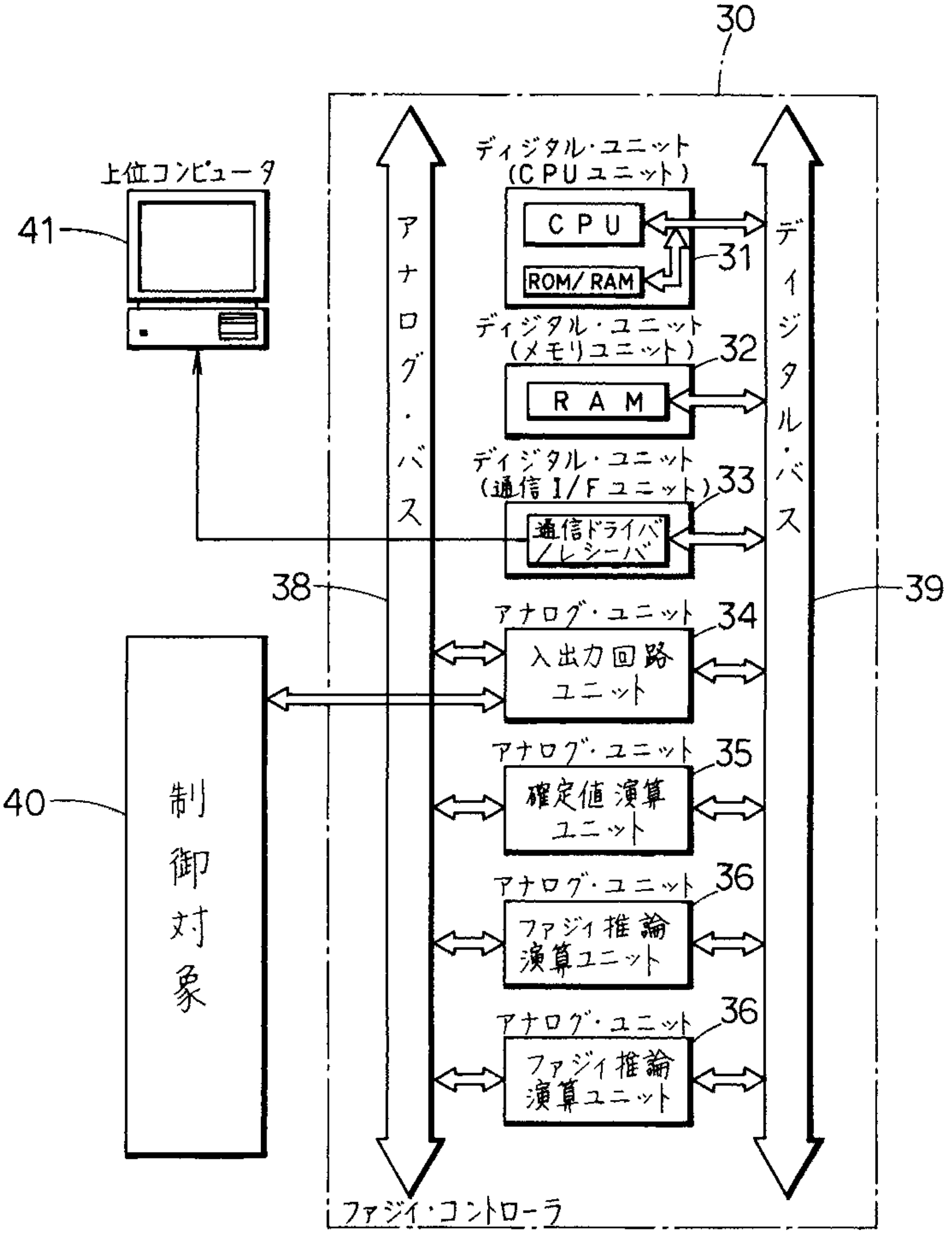
【第１３図】


70
30
40
41
50
レンジ変換制御回路
制御対象
センサ
入力
入力レンジ変換器
30A
ファジイ演算回路
60
アクチュエータ
出力
出力レンジ変換器
ファジイコントローラ
42

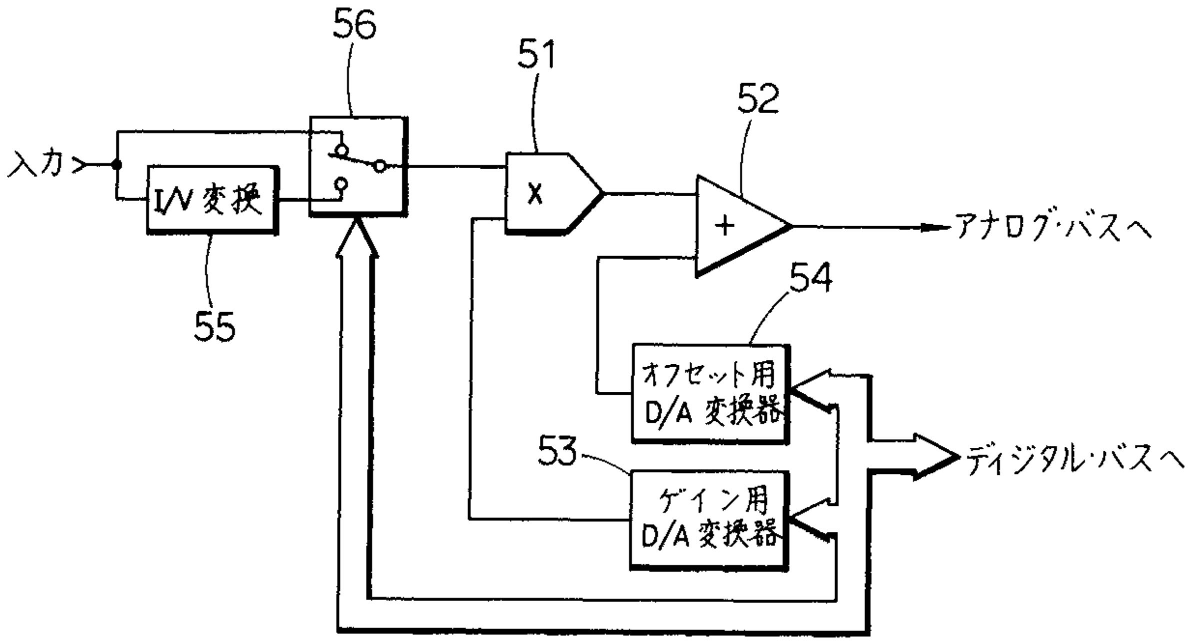
【第１５図】


50
34
制御対象からの入力
入力レンジ変換器
ディジタル・バスI/F回路
60
制御対象への出力
出力レンジ変換器
ディジタル・バスへ
71
入出力回路ユニット
確定値演算ユニットからアナログ・バスを経て
アナログ・バスを経てファジイ推論演算ユニットへ

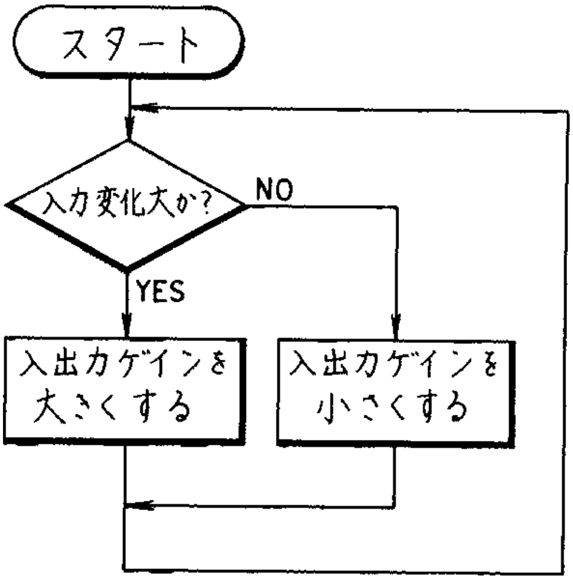
【第１４図】


30
上位コンピュータ
41
ディジタル・ユニット
(CPUユニット)
CPU
ROM/RAM
31
ディジタル・ユニット
(メモリユニット)
32
RAM
ディジタル・ユニット
(通信I/Fユニット)
33
通信ドライバ/レシーバ
アナログ・バス
ディジタル・バス
38
39
アナログ・ユニット
34
入出力回路ユニット
40
制御対象
アナログ・ユニット
35
確定値演算ユニット
アナログ・ユニット
36
ファジィ推論演算ユニット
アナログ・ユニット
36
ファジィ推論演算ユニット
ファジイ・コントローラ

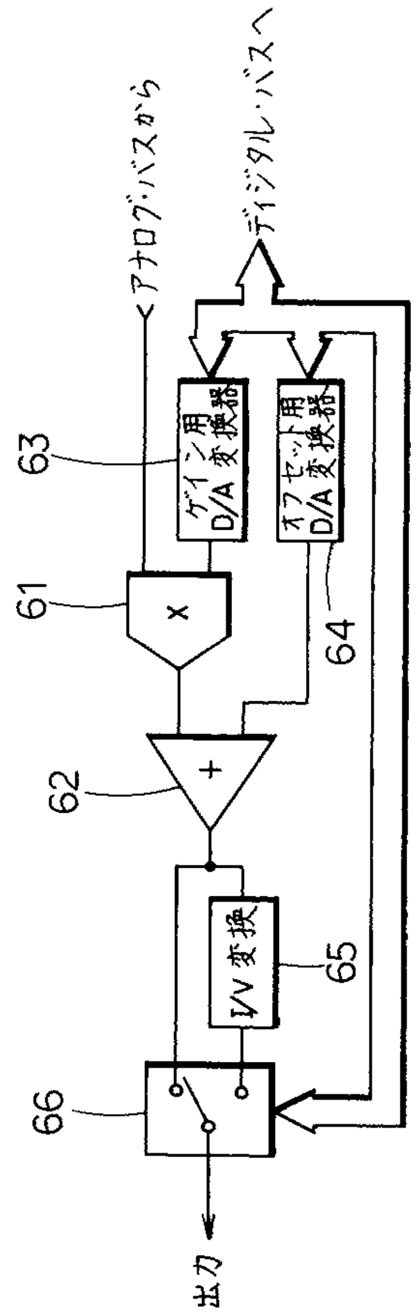
【第１６図】


56
51
52
入力
I/V変換
X
+
アナログ・バスへ
55
54
オフセット用
D/A 変換器
53
ゲイン用
D/A 変換器
ディジタル・バスへ

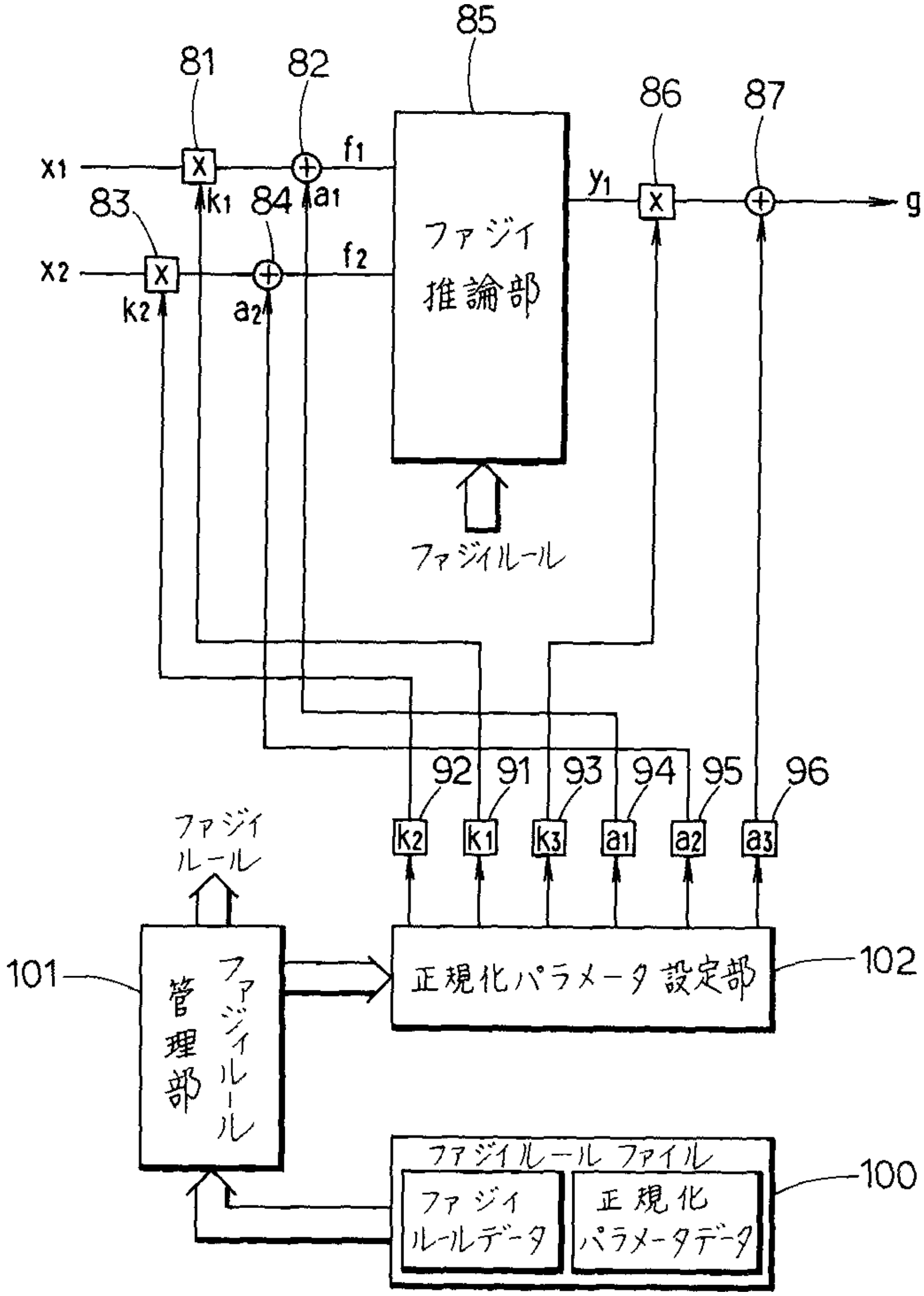
【第１９図】


スタート
入力変化大か?
NO
YES
入出力ゲインを
大きくする
入出力ゲインを
小さくする

【第１７図】


アナログ・バスから
ディジタル・バスへ
ゲイン用
D/A 変換器
オフセット用
D/A 変換器
x
+
I/V 変換
出力
61
62
63
64
65
66

【第２０図】



フロントページの続き

(72)発明者　久野　敦司
京都府京都市右京区花園土堂町10番地
立石電機株式会社内

(56)参考文献　　特開　平２－33688（ＪＰ，Ａ）
特開　平２－8903（ＪＰ，Ａ）
特開　平２－273835（ＪＰ，Ａ）
特開　平２－287700（ＪＰ，Ａ）
計測自動制御学会誌Ｖｏｌ．20，Ｎｏ．８（昭59．８）ＰＰ．720－726