

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-7389

(24) (44)公告日 平成6年(1994)1月26日

(51)Int.Cl. ⁵ G 0 6 F 15/70	識別記号 3 4 0	庁内整理番号 9071-5L	F I	技術表示箇所
---	---------------	-------------------	-----	--------

発明の数 1 (全 5 頁)

(21)出願番号	特願昭59-197945	(71)出願人	999999999 オムロン株式会社 京都府京都市右京区花園土堂町10番地
(22)出願日	昭和59年(1984)9月20日	(72)発明者	政木 俊道 京都府京都市右京区花園土堂町10番地 立 石電機株式会社内
(65)公開番号	特開昭61-75485	(72)発明者	久野 敦司 京都府京都市右京区花園土堂町10番地 立 石電機株式会社内
(43)公開日	昭和61年(1986)4月17日	(72)発明者	坂 和彦 京都府京都市右京区花園土堂町10番地 立 石電機株式会社内
		(74)代理人	弁理士 鈴木 由充
		審査官	加古 進

最終頁に続く

(54)【発明の名称】 画像処理装置

1

【特許請求の範囲】

【請求項1】白黒2値化された入力パターンの輪郭線を追跡する輪郭追跡手段を備えた画像処理装置において、前記入力パターンを構成する2値画像データと、前記輪郭追跡手段による輪郭追跡処理時に設定される追跡処理データとして入力パターンの輪郭構成画素に設定される輪郭フラグおよび次の輪郭構成画素への追跡方向に応じて設定されるペアフラグとを、各画素毎に記憶することが可能な画像メモリと、前記画像メモリを所定方向へ走査して各画素を順次アクセスする走査手段と、前記走査手段によりアクセスされた各画素の2値画像データおよび前記追跡処理データを取り込んでアクセス対象画素が輪郭追跡処理済の入力パターンの内外いずれに位置するかを認識する認識手段と、

2

前記認識手段による認識結果に基づきアクセス対象画素を輪郭追跡処理の開始点として検出するかどうかを決定する輪郭追跡開始点検出手段とを備えて成る画像処理装置。

【発明の詳細な説明】

<発明の技術分野>

本発明は、文字、図形等の画像入力を白黒2値化して入力パターンを求め、この入力パターンにつき辞書等の照合処理を実行して、未知文字等を認識する技術に関連し、殊に本発明は、前記照合処理に先立ち、入力パターンの輪郭線を高速度で追跡するための画像処理装置に関する。

<発明の背景>

従来のこの種装置は、第10図に示す如く、文字、図形等をCCD(Charged-Coupled Device)より成るカメラ21

10

にて画像化し、この画像入力を2値化回路22で白黒2値化して入力パターンを求め、この入力パターンを画像メモリ23へ格納した後、画像メモリ23中の入力パターンにつき、輪郭追跡回路24を動作させて、輪郭線の追跡処理を実行している。この輪郭追跡処理は、画像メモリ23上に第11図に示すマスク25を設定してこれを所定方向(図中、矢印で示す)へ走査し、各画素につきその画素データSおよびその周囲4方向近傍の画素データ $S_0 \sim S_3$ をチェックし、そのデータ構成に基づき追跡開始点を求めた後、入力パターンの輪郭黒画素を所定方向へ順次追跡してゆく。

この場合、第1番目の輪郭線につき追跡処理が終了すると、更に前記の走査を再開して、つぎの追跡開始点を検出し、同様の輪郭線追跡処理を実行する。そして全ての輪郭線につき追跡処理が終了して、追跡開始点を発見できなかったとき、輪郭線追跡の全処理を完了させる(第12図のフローチャート参照)。

従って上記従来方式によれば、画像メモリ中に多数の輪郭線が含まれるような場合、各輪郭線にかかる追跡開始点を検出するのに、各走査位置毎にマスク内を5画素アクセスし且つこれを画像メモリの端から端まで実施する必要がある。これがため輪郭追跡処理における追跡開始点の検出処理時間が著しく大きくなり、これが輪郭線追跡の処理効率、ひいてはパターン認識の処理効率を低下させる要因となっている。

<発明の目的>

本発明は、入力パターンの輪郭線追跡に際し、追跡開始点の検出を高速化した画像処理装置を提供し、もって輪郭追跡処理時間の短縮、更にはパターン認識処理効率の向上をはかることを目的とする。

<発明の構成および効果>

上記目的を達成するため、本発明では、入力パターン記憶用の画像メモリに、入力パターンを構成する2値画像データと、輪郭追跡処理時に設定される追跡処理データとして入力パターンの輪郭構成画素に設定される輪郭フラグおよび次の輪郭構成画素への追跡方向に応じて設定されるペアフラグとを、各画素に対応して格納するよう構成し、輪郭追跡開始点の検出処理に際しては、画像メモリを所定方向に走査し各画素を順次アクセスすることにより、各画素の2値画像データおよび追跡処理データを取り込み、これらデータ内容に基づいてアクセス対象画素が輪郭追跡処理済の入力パターンの内外いずれに位置するかを認識すると共に、その認識結果に基づきその画素を輪郭追跡処理の開始点とするか否かを決定するようにした。

本発明によれば、画像メモリを走査して輪郭追跡開始点を検出する場合に、画像メモリの全画素を夫々1回宛アクセスすればよく、輪郭追跡処理における追跡開始点の検出を簡単且つ迅速に実施し得、輪郭線追跡の処理時間を大幅に短縮でき、パターン認識処理の効率を向上し得

る等、発明目的を達成した顕著な効果を奏する。

<実施例の説明>

第1図は本発明にかかる画素処理装置の構成例を示す。図示例の装置は、画像入力を白黒2値化して形成された入力パターンを縦横複数の画素範囲に格納する画像メモリ1と、画像メモリ1を所定方向に走査して各画素を順次アクセスしてゆく走査回路2と、画像メモリ1の各画素のデータを順次取り込んで現アクセス対象画素のパターン状態を認識するための状態認識部3と、状態認識部3の認識結果に基づきその画素を輪郭追跡開始点として検出するか否かを判定するコントロールROM(Read Only Memory)4とから構成されている。

前記画像メモリ1の各画素には、第2図に示す $b_0 \sim b_7$ の8ビットデータが格納されるようになっており、本実施例の場合、0番目のビット b_0 には2値画像データ(黒画素が「1」、白画素が「0」)、6番目のビット b_6 にはペアフラグ(「1」または「0」)、7番目のビット b_7 には輪郭フラグ(輪郭点が「1」、それ以外が「0」)が、夫々セットされる。このペアフラグおよび輪郭フラグは、輪郭線追跡処理が実行された画素についてのみセットされるもので、第3図に示す入力パターン5の場合、図中、印の画素に輪郭フラグ「1」が、また斜線の画素にペアフラグ「1」が夫々セットされている。

第4図乃至第6図は、ペアフラグの設定方法を示している。今、第4図に示す入力パターン6につき、図中矢印で示す如く輪郭線の追跡を実行する場合、ある画素 T_0 からつぎの画素 T_1 へ輪郭線を追跡すると、その都度、追跡方向を第5図に示す8方向コードで規定すると共に、第6図に示す手順を実行して、対応画素にペアフラグを立てる。第6図において、ステップ1(図中、「ST1」の如く示す)およびステップ2は方向コードdirを判定するものであり、方向コードdirが1, 2, 3のいずれかであるとき、ステップ1が“YES”となり、追跡元にかかる画素 T_0 のペアフラグを反転させる(ステップ3)。また方向コードdirが5, 6, 7のいずれかであるとき、ステップ2が“YES”となり、追跡先にかかる画素 T_1 のペアフラグを反転させる(ステップ4)。更に方向コードdirが0, 4のいずれかであるとき、ステップ1およびステップ2のいずれもが“NO”となり、両画素 T_0, T_1 のペアフラグはそのままとする。尚各画素におけるペアフラグはその初期状態では「0」である。かくて画像メモリ1は、各画素毎に2値画像データ、ペアフラグ、輪郭フラグを含むデータIMEMが格納されており、この画像メモリ1を走査回路にて走査し各画素を順次アクセスすることにより、各画素のデータIMEMを順次状態認識部3に取り込む。この場合、前記走査回路では、最初ラッチ回路7に初期設定アドレスadrをラッチし、アドレス加算部8にて1加算して、画像メモリ1をアクセスするアドレスNadrを得、以下同様の加算処理を繰り返して、このアドレスNadrを更新してゆく。

状態認識部3は、現アクセス対象画素がパターン中でのような状態にあるのかを前記データIMEMに基づき認識するもので、例えば第7図に示す如く、ペアフラグを入力してQ端子より符号Aで示す出力を出すフリップフロップ9と、A出力および輪郭フラグを入力して符号Bで示す出力を出すオア回路10とで構成されている。今第3図に示す入力パターン5を同図の矢印方向に走査した場合を想定すると、ペアフラグ、輪郭フラグ、A出力、B出力の各レベルは図に示す如くになり、B出力がパターンの状態に対応することがわかる。従ってB出力が論理「1」ならば、入力パターンの内側に、また論理「0」ならば、入力パターンの外側に、夫々アクセス対象画素が位置していると判断できる。

この状態認識部3の認識結果に基づきつぎのコントロールROM4は、アクセス対象画素を輪郭追跡開始点として検出するか否かを判断するもので、もし追跡開始点としないとき、LC出力をラッチ回路7へ送ってアドレスNadrをラッチし、一方追跡開始点とするときは、END出力を出し、追跡開始点アドレスSadrを得る。

第8図は、上記コントロールROM4における追跡開始点の判断テーブルを示し、同図中、P1~P5は第9図に示す画像メモリ1上の各点のP1~P5に対応している。この第9図に示す画像メモリ1には、輪郭線追跡処理済の第1の入力パターン11(図中、印は輪郭フラグ「1」の画素を示す)と、未処理の第2の入力パターン12とが*

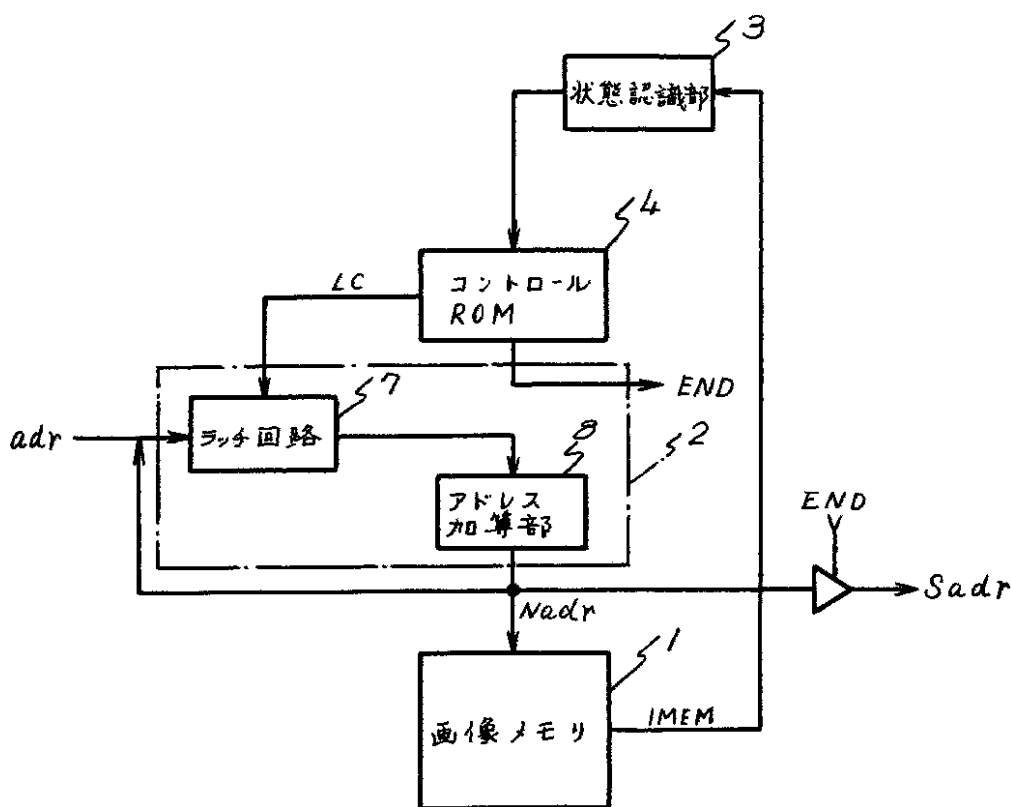
*格納されており、点P1~P3は第1の入力パターン11の内側に、点P4は第2の入力パターン12の内側に、点P5は両入力パターン11,12の外側に夫々位置している。かくしてコントロールROM4は、B出力、輪郭フラグ、2値画像データの内容に基づき上記判断を行なうもので、第8図に示す例では、B出力の論理が「0」、輪郭フラグが「0」、2値画像データが論理「1」である点P4が輪郭追跡開始点として検出される。

【図面の簡単な説明】

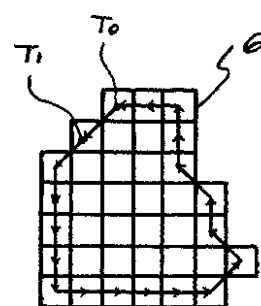
- 10 第1図は本発明にかかる2値画像処理装置の構成例を示す回路ブロック図、第2図は画像メモリ各画素へ格納されるデータのフォーマットを示す図、第3図は入力パターンと各フラグおよび出力との対応関係を示す図、第4図は入力パターンの輪郭線追跡処理を説明するための図、第5図は8方向コードを説明するための図、第6図はペアフラグ設定処理動作を示すフローチャート、第7図は状態認識部の具体回路を示す回路図、第8図は追跡開始点の検出テーブルを示す図、第9図は第8図に対応する画像メモリ上の各点を示す図、第10図は従来例の装置構成を示すブロック図、第11図は従来例の輪郭追跡開始点の検出処理を説明するための図、第12図は輪郭追跡処理を示すフローチャートである。

- 1.....画像メモリ、2.....走査回路
- 3.....状態認識部
- 4.....コントロールROM

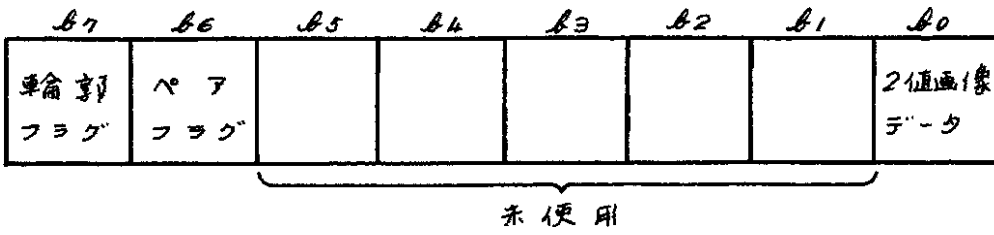
【第1図】



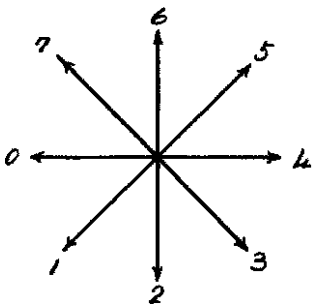
【第4図】



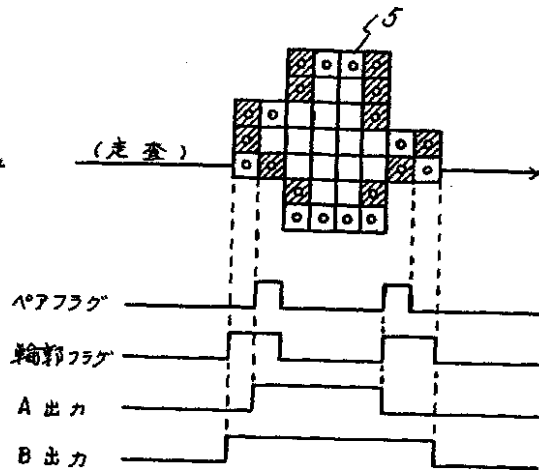
【第2図】



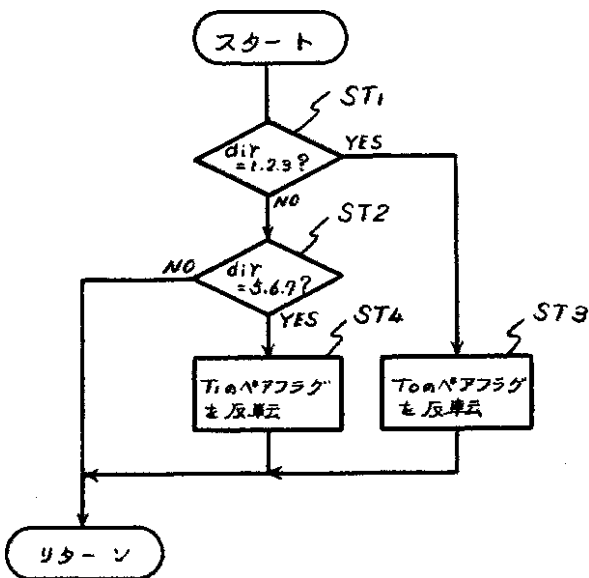
【第5図】



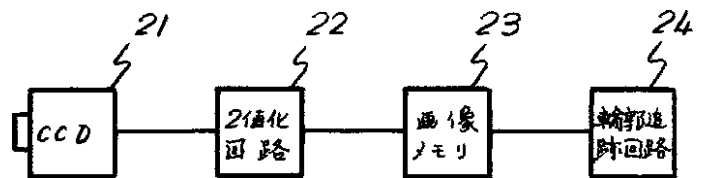
【第3図】



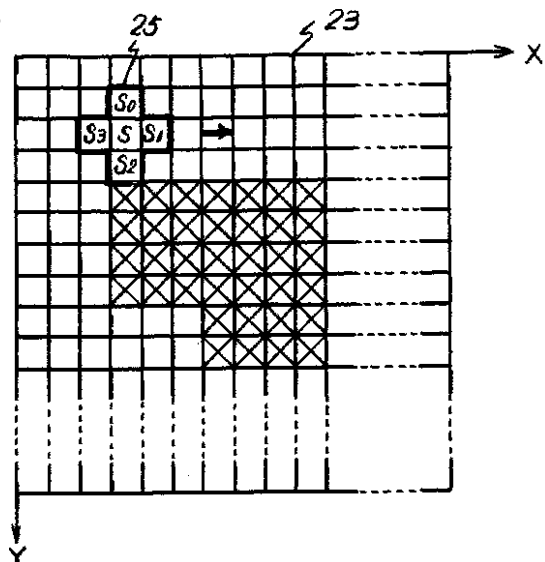
【第6図】



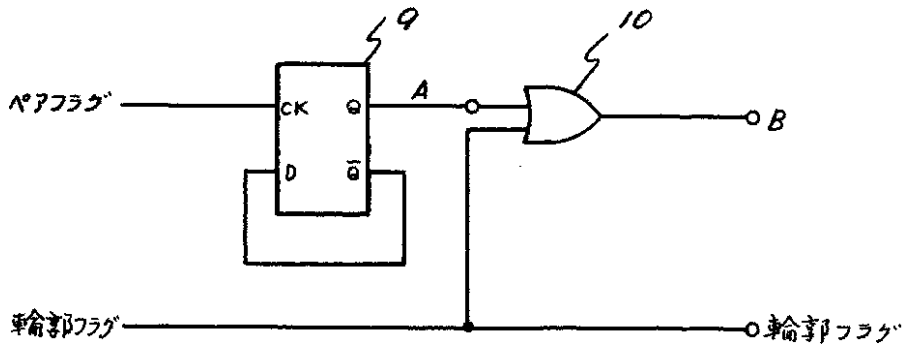
【第10図】



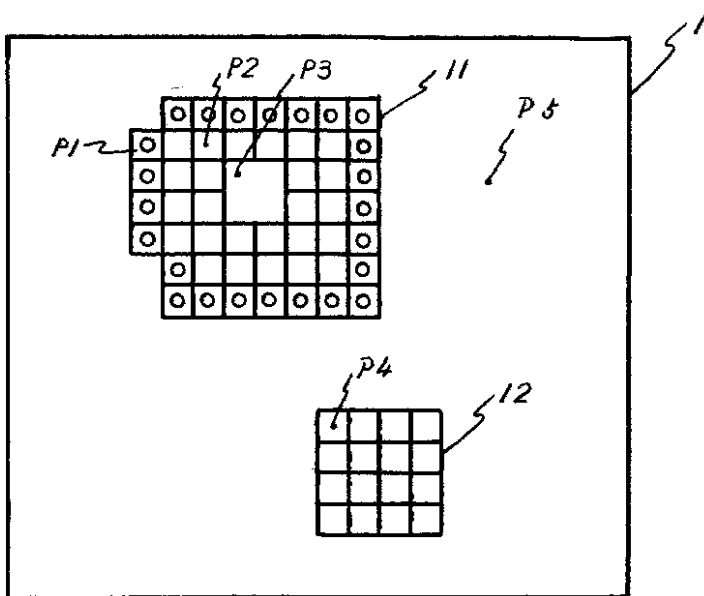
【第11図】



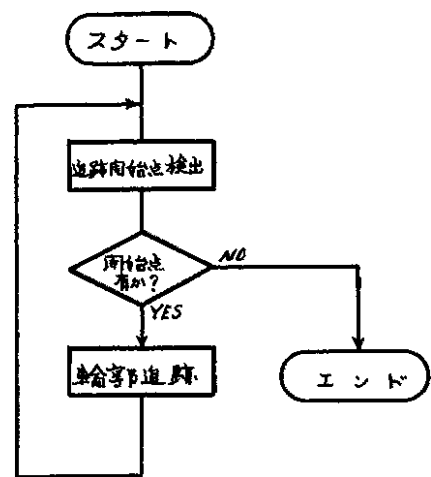
【第7図】



【第9図】



【第12図】



【第8図】

				2値画像の画素の値	
				1	0
B の 値	1	輪郭フラグ	1	P1	P3
		輪郭フラグ	0	P2	
	0	輪郭フラグ	1	P4	P5
		輪郭フラグ	0		

フロントページの続き

(72)発明者 宮宗 宏昭
 京都府京都市右京区花園中御門町3番地
 株式会社立石ライフサイエンス研究所内

(56)参考文献 特開 昭60-263276(JP,A)