

⑫ 特許公報 (B 2)

平5-3627

⑤ Int. Cl. 5

G 06 F 15/70
15/66

識別記号

3 3 0 G
3 3 0 Q

庁内整理番号

9071-5L
8420-5L

⑳ 公告 平成5年(1993)1月18日

発明の数 1 (全6頁)

㉔ 発明の名称 線分検出装置

㉑ 特 願 昭58-64181

㉕ 公 開 昭59-188742

㉒ 出 願 昭58(1983)4月11日

㉓ 昭59(1984)10月26日

㉗ 発 明 者 久 野 敦 司 京都府京都市右京区花園土堂町10番地 立石電機株式会社
内

㉘ 出 願 人 オムロン株式会社 京都府京都市右京区花園土堂町10番地

㉙ 代 理 人 弁理士 鈴木 由充
審 査 官 竹 井 文 雄

1

2

㉚ 特許請求の範囲

1 2次元の濃淡画像を取り込む画像入力手段と、

前記画像入力手段により取り込まれた濃淡画像上に局所的なマスクを設定してラスタ走査するマスク走査手段と、

前記マスク内の濃淡画像を空間微分してエッジ強度およびエッジ方向の情報を抽出すると共に、これら情報とエッジ位置の情報とを対にして出力するエッジ情報抽出手段と、

濃淡画像上で連続するエッジ列についての情報をエッジ列毎に格納する複数個のエッジ情報記憶手段と、

前記エッジ情報抽出手段からの出力情報と前記エッジ情報記憶手段に格納された情報とに基づき前記エッジ情報抽出手段からの出力情報を振り分けるべきエッジ情報記憶手段を決定すると共に、その出力情報を決定されたエッジ情報記憶手段に格納するエッジ情報振り分手段とを具備して成る線分検出装置。

発明の詳細な説明

<発明の技術分野>

本発明は、物体の視覚認識システムにかかり、前記物体についての2次元の濃淡画像からその輪郭線や稜線等(以下「エッジ」という)を検出し、これを線画化するのに使用する線分検出装置に関する。

<発明の背景>

従来画像の線画化は、濃淡画像の画像データが格納された画像メモリの各画素を順次走査してゆき、画像のエッジ構成点を検出したとき、濃淡画像上で連続する同じエッジ列のエッジ構成点を次々に追跡してゆく方法が採用されている。ところがこの種方式では、複数存在するエッジ列を1本ずつ抽出してゆくため、エッジ追跡処理に著しく時間がかかり、またこの種処理回路を専用ハードウェアにて構成して、処理の高速化をはかる等、困難であつた。

<発明の目的>

本発明は、複数存在するエッジ列を並列的に抽出する新規方式を採用することによつて、線分検出処理を高速化し得る線分検出装置を提供することを目的とする。

<発明の構成および効果>

上記目的を達成するため、本発明では、2次元の濃淡画像を取り込む画像入力手段と、前記画像入力手段により取り込まれた濃淡画像上に局所的なマスクを設定してラスタ走査するマスク走査手段と、前記マスク内の濃淡画像を空間微分してエッジ強度およびエッジ方向の情報を抽出すると共に、これら情報とエッジ位置の情報とを対にして出力するエッジ情報抽出手段と、濃淡画像上で連続するエッジ列についての情報をエッジ列毎に格納する複数個のエッジ情報記憶手段と、前記エ

3

4

ツジ情報抽出手段からの出力情報と前記エッジ情報記憶手段に格納された情報とに基づき前記エッジ情報抽出手段からの出力情報を振り分けるべきエッジ情報記憶手段を決定すると共に、その出力情報を決定されたエッジ情報記憶手段に格納するエッジ情報振分手段とで線分検出装置を構成するようにした。

本発明によれば、濃淡画像上に局所的なマスクを設定してラスタ走査すれば、複数存在するエッジ列を並列的に抽出でき、エッジ列毎に同じエッジ列のエッジ構成点を次に追跡する従来方式に比較して、線分の検出処理を短時間でできない得る。

また本発明の方式によれば、線分検出処理回路を専用ハードウェアにて容易に構成でき、線分検出処理の高速化を一層促進できる等、発明目的を達成した優れた効果を奏する。

<実施例の説明>

第1図は本発明にかかる線分検出装置の構成例を示す。図中、ビデオ装置1は物体を2次元の濃淡画像に画像化し、ビデオ出力は信号変換回路10によりデジタル変換され、ビットシリアル画像データを取得。画像データは画素単位で画像メモリ2へ格納された後、画像の線画化に際し、画像メモリ2上の濃淡画像に対し例えば縦3画素×横3画素の視野範囲を有する局所的なマスクWを設定して濃淡画像をラスタ走査する。

この走査回路3は、アドレス設定回路34とマスク走査部3とを含む。アドレス設定回路34は、クロック信号CLを計数するx軸カウンタXおよびy軸カウンタYにより画像メモリ2の各画素位置を求めると共に、各画素の画像データを3列のシフトレジスタ31, 32, 33より成るマスク走査部30へ送り込む。各シフトレジスタ31, 32, 33は、画像メモリ2の1行分画素数に相当するビット数を有し、画像メモリ2における3行分の画像データが直列的に各シフトレジスタ31, 32, 33にセットされる。また各シフトレジスタ31, 32, 33からは、3列分の画

像データが並列的に取り出され、従って各シフトレジスタ31, 32, 33をシフト動作させると、恰も前記マスクWをもつて濃淡画像を行方向へ順次走査するのと同等の作用を果す。

各シフトレジスタ31, 32, 33が出力する縦3画素×横3画素分の各画像データは、エッジ検出器4へ送られ、このエッジ検出器4は、これら画像データから画像のエッジ構成点を検出するためのエッジ情報を出力する。エッジ情報はエッジ強度Aおよびエッジ方向θにかかる各データを含んでおり、各画素のエッジ情報は前記アドレス設定回路34が出力する画素位置データX, Yとともにデータ振分回路5へ送られる。

今xy座標面に画像メモリ2の画素配列を想定し、第2図に示す如く、マスクWの視野内における中心画素Pの位置を座標(i, j)とすると、周囲の画素は座標(i±1, j±1)に位置する。このxy座標面上へ更に画素の画像データの大きさfを表わすz軸を想定すると、座標(i, j)における画像データの大きさはf(i, j)、また周囲座標(i±1, j±1)における画像データの大きさは、第3図に示す如く表わされる。

斯くてx, y, z座標空間において、各画素の画像データの大きさをプロットして曲平面を想定した場合、画像データの変化度合をエッジ強度Aでもつて定機すると、座標(i, j)点のエッジ強度Aはつぎの①式、更にその近似式②で表わされる。

$$A = \sqrt{\left\{\frac{\partial f(i, j)}{\partial i}\right\}^2 + \left\{\frac{\partial f(i, j)}{\partial j}\right\}^2} \dots \textcircled{1}$$

$$A = \left| \frac{\partial f(i, j)}{\partial i} \right| + \left| \frac{\partial f(i, j)}{\partial j} \right| \dots \textcircled{2}$$

またエッジ強度Aのx軸方向成分 $\frac{\partial f(i, j)}{\partial i}$ およびy軸方向成分 $\frac{\partial f(i, j)}{\partial j}$ は、前後画素位置の画像データをもつてつぎのように表わし得る。

$$\begin{aligned} \frac{\partial f(i, j)}{\partial i} = & \{f(i+1, j-1) + f(i+1, j) + f(i+1, j+1)\} \\ & - \{f(i-1, j-1) + f(i-1, j) + f(i-1, j+1)\} \dots \textcircled{3} \end{aligned}$$

5

6

$$\frac{\partial f(i, j)}{\partial j} = \{f(i-1, j-1) + f(i, j-1) + f(i+1, j-1)\} - \{f(i-1, j+1) + f(i, j+1) + f(i+1, j+1)\} \dots\dots④$$

つぎに各画素における画像データの変化方向をエッジ方向 θ でもつて定義すると、座標 (i, j) 点のエッジ方向 θ はつぎの⑤式で表わされる。

$$\theta = \tan^{-1} \left\{ \frac{\partial f(i, j)}{\partial f} / \frac{\partial f(i, j)}{\partial i} \right\} + \frac{\pi}{2} \dots\dots⑤$$

斯くて前記のエッジ検出器 4 は、上記②～⑤式の演算を実行することにより、エッジ強度 A およびエッジ方向 θ を算出し、これをデータ振分回路 5 へ送出する。

データ振分回路 5 は、ゲート回路 5 1 と選択回路 5 2 とから成る。ゲート回路 5 1 はエッジ強度 A と基準値 A_{TH} とを比較し、 $A > A_{TH}$ のとき、この入力データはエッジ構成点にかかるデータと判断して、画素位置データ X, Y とエッジ方向 θ とを選択回路 5 2 へ送り出す。選択回路 5 2 は入力データ相互間におけるエッジ方向 θ の近似性を判断し、近似関係にある画素位置データ X, Y 毎に n 個のスタック 6 a, 6 b … 6 n へデータを振り分けて格納する。尚図中、ポイント 6 1 a, 6 1 b, …, 6 1 n は各スタックにおける頂上の格納データのアドレスを指示するもので、従つて選択回路 5 2 への入力データは各ポイント 6 1 a ~ 6 1 n が指示するアドレスに格納されたデータと対比される。

第 4 図乃至第 6 図は各スタック 6 a ~ 6 n へのデータ振分動作を説明するための図である。第 4 図において、マスク W による濃淡画像の走査 (図中矢印は走査線を示す) によつてエッジ構成点 $P_1, P_2, \dots, P_s, P_{s+1}$ が検出されると、エッジ列 l_1 にかかるエッジ構成点 P_1, P_3, P_5 はスタック 6 a (第 5 図 1 に示す) に、エッジ列 l_2 にかかるエッジ構成点 $P_2, P_4, P_6, \dots, P_{s+1}$ はスタック 6 b (第 5 図 2 に示す) に、エッジ列 l_3 にかかるエッジ構成点 P_s はスタック 6 c (第 5 図 3 に示す) に夫々データが格納される。各スタックの格納データは、第 6 図に示す如く、エッジ方向と画素位置データとから成り、第 1 図に示すコンピュータ回路 7 が画素位置データ $(X_1, Y_1) (X_2, Y_2)$

… $(X_i, Y_j) \dots (X_k, Y_k)$ を組み込み線分抽出演算を実行して、一連に連続するエッジ列を認識し且つ抽出するものである。

第 7 図は前記アドレス設定回路 3 4 の動作手順を符号 8 0 ~ 8 5 で示すもので、x 軸カウンタ X、y 軸カウンタ Y には画像メモリの 2 行、2 列目の画素を特定する初期データ「2」がセットされる (第 7 図ステップ 80)。そしてアドレス設定回路 3 4 にクロック信号 CL が入力される毎に、ステップ 81 の判定が「YES」となり、カウンタ X の内容に「1」加算される。この計数動作はカウンタ X の内容が 1 行走査完了に至る最終値 X_{max} に達するまで繰返し実行され、ステップ 83 「 $X \geq X_{max}$ 」の判定が「YES」となったとき、つぎのステップ 84 へ進み、x 軸カウンタ X には初期値「2」がセットされ、また y 軸カウンタ Y には「1」加算される。このカウンタ Y の内容が最終行走査に至る最終値 Y_{max} に達するまで同様の処理が繰返し実行され、ステップ 85 の「 $Y \geq Y_{max}$ 」の判定が「YES」となったとき、画像メモリ 2 の走査を完了する。従つて x 軸カウンタ X、y 軸カウンタ Y の計数動作に応じてデータ振分回路 5 へ各カウンタ X, Y の内容が画素位置データ X, Y として送出される。

一方データ振分回路 5 の選択回路 5 2 には、画素位置データ X, Y とともにエッジ検出器 4 よりゲート回路 5 1 を介してエッジ方向 θ がデータ入力されている。選択回路 5 2 は、第 8 図に示す手順に従つて動作するもので、まずステップ 9 0 においてスタック番号 i を初期値 1 にセットして、第 1 番目のスタック 6 a を指定しておく。この初期状態では各スタック 6 a ~ 6 n に格納データは存在せず、また各ポイント 6 1 a ~ 6 1 n は各スタックの初期位置を指示している。今、選択回路 5 2 に 1 番目のデータ X, Y, θ が入力されると、ステップ 90 において、つぎの演算が実行される。

$$D_i = |X_i - X| + |Y_i - Y|$$

上式において、 X_i, Y_i は i 番目 (ここでは 1 番目) のスタック 6 a の頂上に格納された画素位

置データを示す。また D_i は格納データ（この場合格納データはなし）にかかる画素位置と入力データにかかる画素位置とが接近した位置にあるか否かを判定するための判定値である。そしてつぎのステップ92においてこの判定値 D_i と基準値 D_{TH} とが大小比較され、格納データがない場合にはステップ92の判定が“YES”となる。更につぎのステップ93の「 i 番目ポインタ初期値か」の判定も“YES”となるから、ステップ94へ進み、画素位置データ X, Y およびエッジ方向 θ が1番目のスタック6 aにセットされる。そしてつぎのステップ95の「走査完了か」の判定は“NO”であるから、ステップ90へ戻り、つぎの入力データに待機する。

つぎに選択回路5 2へ2番目のデータ X, Y, θ が入力されると、ステップ91で1番目の格納データと2番目の入力データとの間で前記判定値 D_i の算出演算が実行され、ついでステップ92で判定値 D_i と基準値 D_{TH} との大小が比較される。そしてステップ92の判定が“NO”、すなわち両方の画素が接近した位置にあると判断されたとき、つぎにステップ96でつぎの演算が実行される。

$$E_i = |\theta_i - \theta|$$

上式において、 θ_i は i 番目（ここでは1番目）のスタックに格納されたエッジ方向を示し、また E_i は格納データにかかる画素のエッジ方向と入力データにかかる画素のエッジ方向とが類似するか否かを判定するための判定値である。そしてステップ97において、この判定値 E_i と基準値 E_{TH} とが大小比較され、ステップ97の「 $E_i > E_{TH}$ 」の判定が“NO”、すなわちエッジ方向が類似すると判定されたとき、画素位置データ X, Y およびエッジ方向 θ が1番目のスタック6 aの頂上にセット

される。

もしステップ92またはステップ97の判定が“YES”となつたとき、つぎのステップ93の「 i 番目（ここでは1番目）ポインタ初期値か」の判定は“NO”となるから、ステップ98へ進み、スタック番号 i に1加算され、つぎのスタック6 bが指定される。そしてステップ99の「 $i > n$ （スタック数）」の判定は“NO”となるから、ステップ91へ戻り、つぎのスタック6 bの格納データとの照合動作に移行する。

以下同様の処理が実行され、入力データにかかる判定値 D_i, E_i がステップ92, 97の条件を満たしたとき、そのスタックへ、また各判定値 D_i, E_i がステップ92, 97の条件を満さなかつたときは、他の新たなスタックへ夫々データが格納されてゆき、これにより全てのデータがいずれかスタックへ振り分けられる。

図面の簡単な説明

第1図は本発明の線分検出装置の回路ブロック図、第2図および第3図は各画素位置における画像データの大きさおよび方向を説明するための図、第4図は画像メモリにおけるエッジ構成点の検出動作を説明するための図、第5図1, 2, 3は各スタックに振り分けられた第4図に示すエッジ構成点の格納状況を示す図、第6図はスタックの格納データを説明するための図、第7図はアドレス設定回路の動作を示すフローチャート、第8図は選択回路の動作を示すフローチャートである。

1……画像メモリ、3……走査回路、4……エッジ検出器、5……データ振分回路、6 a~6 n……スタック。

図 3

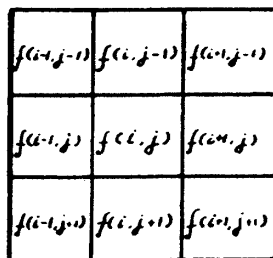


図 1

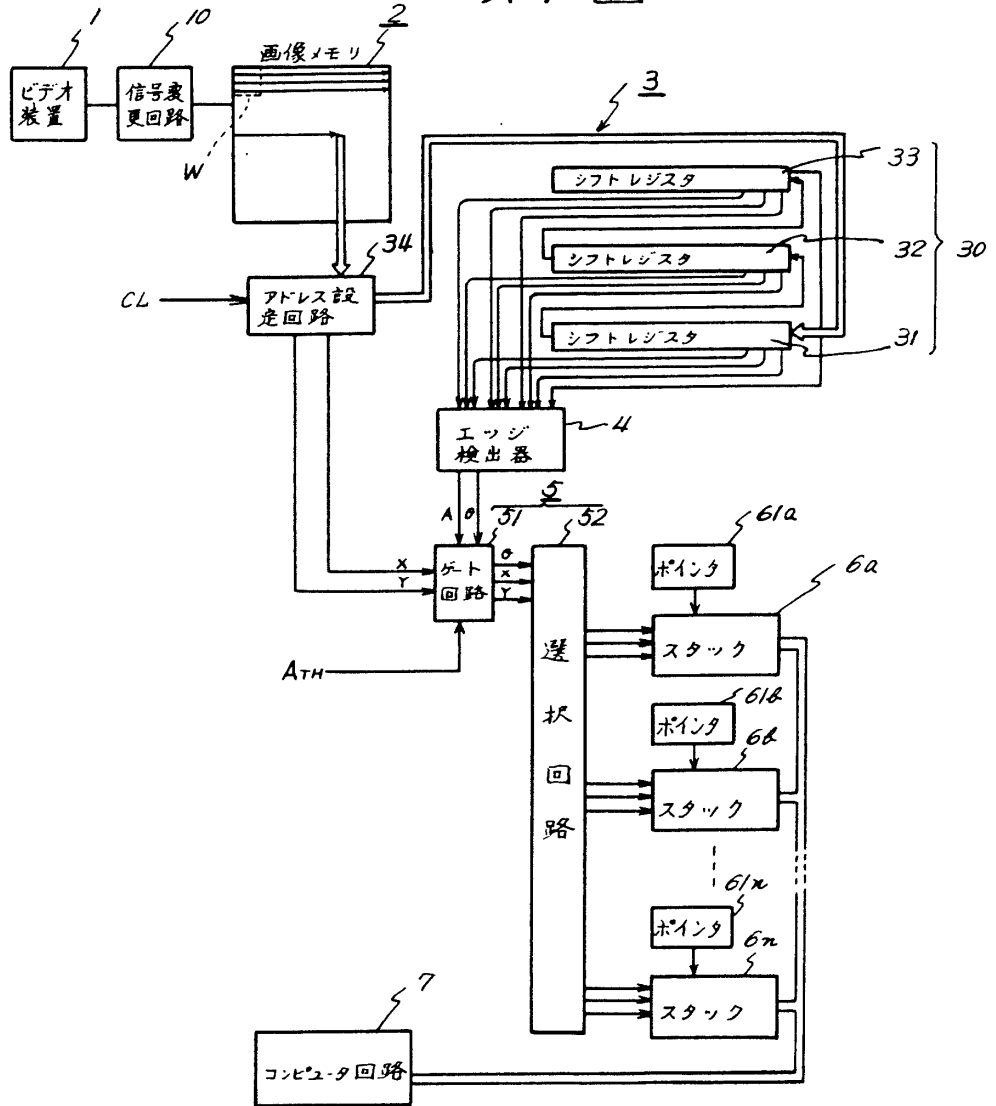


図 2

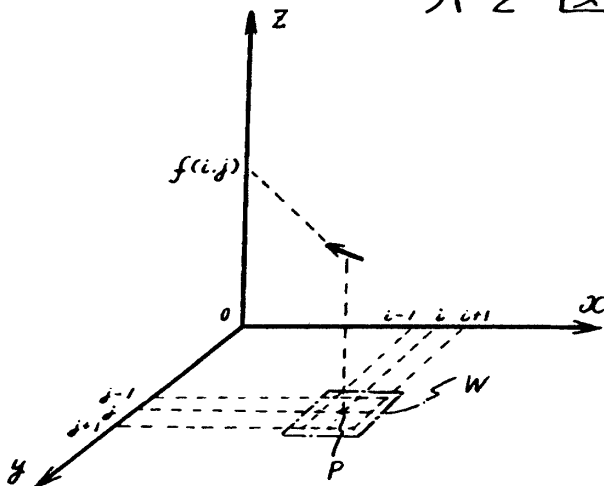


図 4

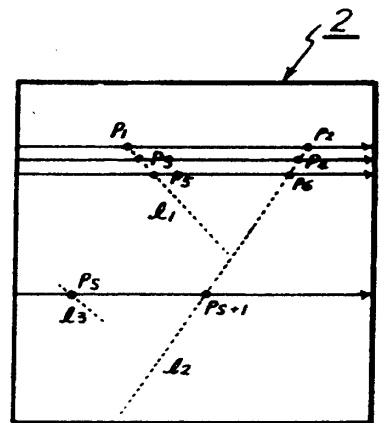


図5

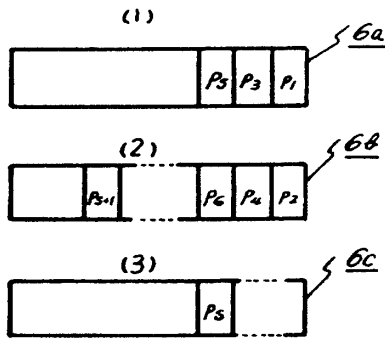


図6

θ_A	θ_{A-1}	---	θ_i	---	θ_2	θ_1
X_A	X_{A-1}	---	X_i	---	X_2	X_1
Y_A	Y_{A-1}	---	Y_i	---	Y_2	Y_1

図8

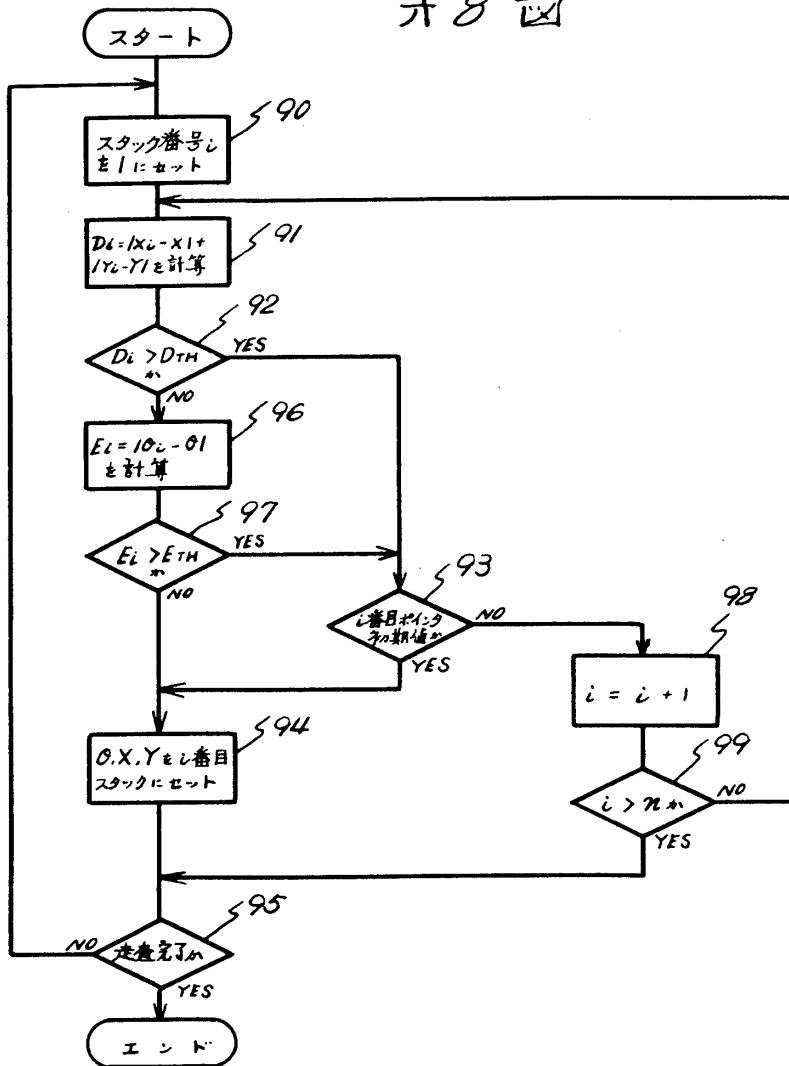


図7

