

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2785280号

(45) 発行日 平成10年(1998) 8月13日

(24) 登録日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

G 0 6 F 9/44

識別記号

5 5 4

F I

G 0 6 F 9/44

5 5 4 A

請求項の数2 (全 19 頁)

(21) 出願番号 特願昭63-248661

(22) 出願日 昭和63年(1988) 9月30日

(65) 公開番号 特開平2-96235

(43) 公開日 平成2年(1990) 4月9日

審査請求日 平成7年(1995) 2月3日

(73) 特許権者 999999999

オムロン株式会社

京都府京都市右京区花園土堂町10番地

(72) 発明者 久野 敦司

京都府京都市右京区花園土堂町10番地

立石電機株式会社内

(74) 代理人 弁理士 小森 久夫

審査官 川崎 優

(56) 参考文献 「オートメーション」 V o l . 33, N

o . 6 (1988-6) P . 37-41

「明電時報」 N o . 201 (1988-4)

P . 63-65

(58) 調査した分野(Int.Cl.⁶ , D B名)

G06F 9/44

G05B 13/02

(54) 【発明の名称】 ファジィ推論装置および情報処理装置

1

(57) 【特許請求の範囲】

【請求項1】 マイクロコンピュータとデジタルバスを介して結合されるべく構成されたファジィ推論装置であって、

ファジィルールおよびメンバーシップ関数を記憶した記憶部と、

前記デジタルバスを介して所定のアドレスによってマイクロコンピュータからアクセスを受けると、当該アドレスに対応するファジィルール群を記憶部から選択する選択手段と、

選択手段によって選択されたファジィルール群および記憶部に記憶されたメンバーシップ関数を用いてファジィ推論を実行して確定値を生成するファジィ推論部と、前記ファジィ推論部によって生成された確定値を前記デジタルバスを介して前記マイクロコンピュータに返すイ

2

ンターフェイス部と、を具備することを特徴とするファジィ推論装置。

【請求項2】 請求項1に記載のファジィ推論装置とマイクロコンピュータとからなる情報処理装置。

【発明の詳細な説明】

< 産業上の利用分野 >

この発明は、マイクロコンピュータと結合されるファジィ推論装置およびマイクロコンピュータとファジィ推論装置とを結合した情報処理装置に関する。

10 < 従来技術 >

従来、デジタルコンピュータによつてファジィ推論を行なうものと、アナログ回路でファジィ推論を行なうファジィコンピュータとがある。前者は推論速度が遅く、後者は汎用性に欠けるといふ欠点がある。

< 発明が解決しようとする課題 >

この発明は、ファジィ推論の推論速度が速く、しかも汎用性に富むファジィ推論装置および情報処理装置を提供することを目的とする。

<課題を解決するための手段>

第1解決手段：マイクロコンピュータとデジタルバスを介して結合されるべく構成されたファジィ推論装置であって、

ファジィルールおよびメンバーシップ関数を記憶した記憶部と、

前記デジタルバスを介して所定のアドレスによってマイクロコンピュータからアクセスを受けると、当該アドレスに対応するファジィルール群を記憶部から選択する選択手段と、

選択手段によって選択されたファジィルール群および記憶部に記憶されたメンバーシップ関数を用いてファジィ推論を実行して確定値を生成するファジィ推論部と、

前記ファジィ推論部によって生成された確定値を前記デジタルバスを介して前記マイクロコンピュータに返すインターフェイス部と、を具備することを特徴とする。

第2解決手段：第1解決手段のファジィ推論装置とマイクロコンピュータとから構成した情報処理装置であることを特徴とする。

<作用>

第1解決手段の作用は、次のとおりである。すなわち、マイクロコンピュータから所定のアドレスによりインターフェイス部にアクセスすると、選択手段がアドレスに対応するファジィルール群を記憶部から選択し、ファジィ推論部は、選択手段が選択したファジィルール群および記憶手段に記憶されているメンバーシップ関数を用いてファジィ推論を実行して確定値を生成し、ファジィ推論部において生成された確定値がデジタルバスを介してマイクロコンピュータに返される。

第2解決手段の作用は、次のとおりである。すなわち、第1解決手段とマイクロコンピュータとから情報処理装置が構成される。

<効果>

第1解決手段によれば、マイクロコンピュータからファジィ推論装置に与えるアドレスを変えることによってファジィ推論に使用されるファジィルールを切り換えることができ、状況に応じた適切な推論結果を得ることができる。しかも、ファジィルール群の切替命令の送信、ファジィ推論の起動、およびファジィ推論結果の読み取り、という3つの処理がマイクロコンピュータから特定のアドレスへのアクセスという1命令で実行できる。そのため、インターフェイスのハードウェアが簡単になり、ファジィ推論装置を使用するマイクロコンピュータ側のプログラムも簡単になる。

第2解決手段によれば、情報処理装置におけるハードウェアの構成を簡略化、または、ハードウェアの構成を簡略化と推論結果の適切化とを図ることができる。

<実施例>

以下図面にもとづき実施例を説明する。第1図は、本実施例装置のシステム構成図である。このシステムでは、超小型のデジタルコンピュータいわゆるマイクロコンピュータを中心に構成された上位1の下に、後に詳説するファジィコンピュータ（以下必要により、FCと略称する）2,3,4,5が配置され制御される。そして、例えば、第1番目のファジィコンピュータ2に対して、第2のファジィコンピュータ3が接続される等多階層構造になつている点に特徴がある。なお、本システムは、上位1とFC2,3,4,5からなるファジィ推論装置とを分離して構成することができ、上位1とFC2,3,4,5とからなる情報処理装置として構成することもできる。

すなわち、FC2は複数のセンサ6,6,...からの出力にもとづく推論に加えて、下位とも言うべき第2のFC3の推論結果も入力として取扱い推論できる構造になつている。

ここで本システムで実行する推論につき、後の理解を容易にするため、第2図の処理概略図にもとづき簡単に説明しておく。今上位1からある命題に関する推論の実行が最上位のFCaに指令されたとする。この指令はデファジファイ出力を要求することになる。この指令に応じてFCaは、この命題の推論に必要な情報が下位のFCbないしcで得られる場合には、FCbないしcを起動する。この起動に応じてFCaないしcは、各別に配置されたセンサ6,6の出力にもとづく推論を実行し、その結果をFCaに伝達する。この結果を受けたFCaは推論を実行し、結果を上位1に伝える。このようにして得られた最終推論結果は上位1中の表示器で表示されたり、別のシステムに対し制御信号として出力されたりする。

このように、下位のFCによつて得られる推論結果を上位のFCがセンサ出力と同等に取扱えるようにしておくと、大きく複雑な問題を分析・推論する場合に有利である。

又、この第2図において点線で囲んだ部分について付言しておく。すなわち、下位のFCcはそのセンサ出力に応じた推論を実行し、その結果を上位のFCaに伝えるが、その信号形態は、センサ6,6が自らに入力してくる信号形態と等価に形成されている。従つて、上位のFCaから見ると、センサ6からの直接出力であるか、推論結果であるかが区別できない、あるいは区別する必要がない。このことは、点線で囲んだ部分7全体がある種のセンサ、いわばファジィセンサを形成していることを意味する。

次に第3図にもとづきファジィコンピュータと上位（以下MPUと呼ぶ）1との関係を説明する。第3図に代表的に示されたFC2はMPU1と上位バス8によつて結合されている。このバス8を介してMPU1は、ファジィルールメモリ9に予めファジィプロダクションルールを格納する。

そしてある命題を実行する際には、MPU1は、その命題を示す情報をバス8を介してルールコントローラ10に転送する。この結果ルールコントローラ10は、起動すべきルールを選択し、ファジイルールメモリ9からのファジイルールレジスタ部11にセットする。

ファジイルールレジスタ部11にセットされたルールは、入力制御部12でファジイ変数として外部入力を取込むべきか、あるいは後述のファジイ結論メモリ部13から取込むべきかが判断される。この判断にもとづき選定されたファジイ変数が、ルールとともにファジイ推論部14に印加され推論が実行される。推論された結果はファジイ結論メモリ部13に格納される。この推論結果は、結論メモリコントローラ15および上位バス8を介してMPU1に転送される。

すなわち、MPU1は、ファジイルールメモリ9、ルールコントローラ10および結論メモリコントローラ15を自在にアクセスでき、これによつて所望の推論を実行・完成させるものである。

次に第3図に示したファジイコンピュータの具体的構成および動作について説明する。

そのため第2図に戻つて本システムにおける推論動作につき説明する。MPU1がZ1に関する推論を行なうためFCaにその旨を転送する。すなわち、MPU1は、デファジファイ出力Z1の要求を出す。これはFCaにおいて、ファジイプロダクションルール「if $x_1 = A_1 \cdot y_1 = B_1$ then $z_1 = C_1$ 」（すなわち“ x_1 が A_1 で、かつ y_1 が B_1 ならば、 z_1 は C_1 である”）というif-then形式に展開されたとする。

これに応じてFCaは前記ルールの前件部のファジイ変数である x_1 あるいは y_1 がいずれの個所で得られるかを探索する。この探索の詳細は後に説明するが、要するに、センサ6より確定値として得られる場合は従来のファジイコンピュータと同様であるが、他のFCの推論結果として得る場合には、先の例でいえば x_1 あるいは y_1 を後件部とする全ルールが特定のFCにおいて実行され、その結果から得られる総合的な推論結果が確定値として例えばFCbあるいはFCcよりFCaに伝達される。

第2図においては、FCaとFCbあるいはFCcというように2階層の構造を説明したが、これに限られるものではない。すなわち、ある階層に位置するFCで実行されるルールの前件部にセンサ出力ではないファジイ変数を含む場合には、そのファジイ変数を出力するFC（すなわち下位のFC）を順次、起動していく点に本システムの特徴がある。

さてファジイルールメモリ9には複数のif-then形式のファジイプロダクションルールが格納される。その詳細は第4図に示すように、各ルールとも前件部16と後件部17とで構成されている。このファジイプロダクションルール（以下、ファジイルールとも呼ぶ）はMPU1によつて予めファジイルールメモリ9に書き込まれている。

又、MPU1は、ルールコントローラ10に起動すべきファ

ジイルールを決定するためのデータを予め書き込んでおり、その詳細を第5図に示す。

第5図において、ルールコントロールメモリ18の $staddr(i)$ および $endaddr(i)$ は、後件部のファジイ変数を同一とするルールがファジイルールメモリ9中のどのアドレスにあるかを示すためのもので先頭アドレスを $staddr(i)$ で、又、最終アドレスを $endaddr(i)$ で示している。

このファジイルールメモリ9とルールコントロールメモリ18とのメモリ上の関係を第6図に図示する。

以上のようにしてMPU1が全てのFCに対しファジイルールとルールコントロールデータとを書き込むことにより本システムは推論を行える状態に初期化される。

それに伴いMPU1から所定の項目の推論開示を指令するが、この指令は上位バス8を介して第3図の結論メモリコントローラ15に与えられる。結論メモリコントローラ15の詳細を第7図に示す。又、ファジイ結論メモリ部13の詳細を第8図に、さらにファジイ結論メモリの詳細を第9図に示す。

今MPU1は r なる事象（項目）を推論すべく、 i なるアドレス信号を上位バス8を介して結論メモリコントローラ15に印加する。このアドレス信号はコマンドレジスタ21（第7図）にセットされる。これに応じて結論メモリアクセス部22は、アドレス信号 ead を与え結論メモリ20から該当するファジイ変数値 $edat$ をインターフェイス223を介して読出す。

ファジイ結論メモリ20は詳細を第9図に示すように推論結果を記憶するメモリで、第3図のファジイ推論部14で推論が終了したのに伴いファジイ変数値である推論結果が結論部23にセットされるとともに最上位に位置するフラグ部24に“1”が立てられる。従つて、フラグ部24に“1”が立っていない場合には、該当するファジイ変数は有効でないことを意味する。

従つて、結論メモリ20からリードしたデータ $edat$ の最上位ビットが“1”の場合にはこのデータは有効とされ、結論メモリデータレジスタ25（第7図）にセットされる。

リードされたデータ $edat$ の最上位ビットが“0”の場合には、ルール起動要求信号 $erul$ がファジイ変数アドレス $faddr$ とともに、ルールコントローラ10のルールコントロールメモリアクセス部26（第5図）に印加される。

これに伴いルールコントローラ10では、後件部にファジイ変数アドレス $faddr$ を有するルール群（今これを i とする）をルールコントロールメモリ18をリードすることによつて検出する。今これは i であるので、後件部を共通にする i 番目のルール群の先頭アドレス $staddr(i)$ および最終アドレス（ $endaddr(i)$ ）がそれぞれバツファレジスタ27,28にセットされる。

バツファレジスタ27はカウンタ機能も有するもので、レジスタ27の出力はファジイルールメモリ9（第3図、

第 6 図参照) 中の該当ルールをリードアクセスするための信号 (ruladdr) としてルールメモリ 9 に印加される。その結果推論が実行される。そして、ルール群のうちの 1 つのルールについての推論が終了すると同期用回路 29 からカウンタツツ信号が出力されカウンタツツア 27 は歩進され、その出力 (ruladdr) によつて次のルールの推論が開始される。このようにしてルール群中の全てのルールの実行が終了すると、カウンタツツア 27 と最終アドレス用ツツア 28 との出力の比較する比較器 30 から出力が出され、歩進が停止する。これによつて後件部を共通にするルール群の全ルールの推論が終了する。

次に、この繰り返しの推論がどのようになされるかについて説明する。

先述のルールアドレス信号である ruladdr はフアジールールメモリ 9 (第 3 図) に印加され、該当するルールがフアジールールレジスタ部 11 に読出される。

フアジールールレジスタ部 11 の詳細を第 10 図に示す。

今ルールアドレス信号 ruladdr によつて読み出されたルールが次記の式 (1) のようなものであつたとする。

$$\begin{aligned} & \text{if } x = A \cdot y = B \cdot z = C \\ & \text{then } r = D \qquad \dots (1) \end{aligned}$$

この式 (1) において、x, y, z, r はフアジイ変数であり、後述する所で明らかになるように、アドレス信号の形を取つている。

さてフアジールールメモリ 9 から読出された式 (1) で表わされルールは、フアジールールレジスタ部 11 のラッチ回路 31 ないし 38 (第 10 図) に各変数毎にラッチ記憶される。

r ラッチ回路 31 上のアドレスは書き込みインターフェイス部 22 を介してフアジイ結論メモリ 20 (第 8 図) の書き込みアドレス用として用いられる。又、x, y, z の各ラッチ回路上のアドレスはフアジイ変数リード制御部 39 で時系列変換され、リードアドレス rad として、レジスタコード rcode とともに詳細を第 11 図に示す入力制御部 12 (第 3 図参照) に順次与えられている。

このようにして入力制御部 12 に与えられたルールの前件部に関する信号は、一対のデコーダ 40, 41 で解読される。すなわち、最初のフアジイ変数 x に関する rad および rcode が与えられたとすると、デコーダ 41 によつてレジスタコード rcode が解読され入力ラッチ 44 が選択される。又、リードアドレス rad はデコーダで解読され、自己の内部すなわちフアジイ結論メモリ 20 から得られる情報か、それとも外部すなわちセンサあるいは下位の FC から得られる情報かが判定される。この判定結果に応じて外部入力インターフェイス 45, フアジイ結論メモリインターフェイス 46 のいずれかが選択され、フアジイ変数 x に関するアドレス信号が出力される。

すなわち、rad の所定ビットが "0" か "1" によつて、フアジイ結論メモリインターフェイス 46 か外部入力

10

20

30

40

50

インターフェイス 45 が選択される。結論メモリインターフェイス 46 が選択されたときには、フアジイ変数 x に関するアドレス信号 fmad が結論メモリインターフェイス 46 から出力され、第 8 図の入力制御部インターフェイス 225 を介してフアジイ結論メモリ 20 がアクセスされ、データがフアジイ結論メモリ 20 から読出される。読出されたデータは、入力制御部インターフェイス 225 を介して信号 fdat として、フアジイ結論メモリインターフェイス 46 に入力される。

一方、外部入力インターフェイス 45 が選択されたときには、外部入力インターフェイス 45 はセンサ 6 または下位の FC の選択信号 sensad を出す。選択されたセンサまたは FC は、状態信号またはフアジイ推論結果を信号 sdat として外部入力インターフェイス 45 に返送してくる。

フアジイ結論メモリインターフェイス 46 に入力されたデータまたは外部入力インターフェイス 45 に返送されたデータは、ライン 47 を介して dx として入力ラッチ 42 にセットされる。以下 y, z についても同様の処理がなされ入力ラッチ 43, 44 にはフアジイ変数値 dy, dz がセットされる。

次にこのフアジイ変数値 dx, dy, dz ともう一つの信号であるメンバーシップ関数とにより推論を実行する訳であるが、このメンバーシップ関数を発生する機構について説明する。

第 10 図に戻つて、フアジールールのメンバーシップ関数のラベルである A, B, C, D はそれぞれラッチ回路 35, 36, 37, 38 にラッチ記憶されることは先述のとおりである。このようにしてラッチされたラベル A, B, C, D は波形作成ユニット 50 へアドレスの一部として入力される。そして、波形作成ユニット 50 からは時間依存型のメンバーシップ関数を示す信号が出力されるが、これを以下説明する。

この波形作成ユニット 50 は、先述のようにフアジイメンバーシップ関数を発生するものである。通常このメンバーシップ関数は第 12 図に示すように、横軸にフアジイ変数 x をとり、縦軸に所属度をとつた連続関数で表現される。これに対し本フアジイコンピュータにおいてはメンバーシップ関数を発生するにあつて、第 13 図に示すようにフアジイ変数 x を離散的にとるとともに、各々の所属度を終点を同時としたパルスの長さ (パルス幅) で表現するようにしている。これを以下、メンバーシップ関数の PWM (Pulse Width Modulation) 表現と呼ぶ。ここでは、パルスの終点を同時としているが、起点を同時にしててもよい。

以上の理解を前提に、第 14 図に詳細を示す波形作成ユニット 50 につき説明する。

波形作成ユニット 50 は、複数種類のメンバーシップ関数の関数波形を記憶するとともに一方の入力であるラベル (A, B, C, D...) によつて該当する関数が選定される波形メモリ 51, 52, 53, 54 と、選定された関数の読出しタイミングを制御するカウンタ 55 を中心に構成されている。

すなわち、波形メモリ51~54には、第13図に即して述べると、各格子に“0”“1”が割り当てられてPWM表現されたメンバーシップ関数がラベル順に複数個記憶されている。従つて、ラベルでメンバーシップ関数が指定され、カウンタ55から、クロックをカウントし得られるカウント値が印加されると、第13図に示すt0,t1,t2,...の順番に波形メモリ51等はアクセスされ、第15図に示すような、パルス長さの長短で表現されたメンバーシップ関数がラインh0,h1,h2,...上に出力される。

このようにしてファジイ変数値dx,dy,dzとメンバーシップ関数(mA,mB,mC,mD)とがそろふことによりファジイ推論が実行される訳であるが、これを第16図にファジイ推論部14のプロック図にもとづき説明する。

ファジイ推論部14では、ファジイルールの前件部が処理される。すなわち、複数のラインh0,h1,h2... (第15図参照)上にPWM表現された入力メンバーシップ関数(mA,mB,mC)はマルチプレクサ61,62,63にそれぞれ接続される。

このマルチプレクサ61,62,63の機能は、ファジイ変数dx,dy,dzの大きさに応じて、ラインh0,h1,h2...のうちの一本を選んで、所属度ex,ey,ezを出力することである。このことは、公知・通常のアジコンコンピュータにおいて、センサ等から入力される入力信号をメンバーシップ関数で評価して所属値を出力するのと等価である。唯、通常のアジコンコンピュータが所属値を電圧、電流等電気信号の大小で表現するのに対し、本ファジイコンピュータではパルスの長短で表現することに特徴がある点で差異がある。

このようにパルス幅で表現された所属値ex,ey,ezは、min回路64でMIN演算がなされる。このmin回路64の実態は、第17図に示す単純なAND回路である。すなわち、本ファジイコンピュータにおいては、所属度ex,ey,ezはPWM表現されているのでAND回路で簡単に最短パルス幅のパルス(所属度)が選定され、MIN演算が行なわれ、出力gが出される。

このようにして前件部の処理が終了すると次に、後件部の処理に移る。後件部の処理はトランケーション部65でなされる。

すなわち、トランケーション部65は、第18図に示すような並列配置されたAND回路群で構成され、各AND回路の一方の入力端には共通にmin回路64の出力端に接続され、最短のパルス幅信号である出力gが印加される。

トランケーション部65の他方の入力、後件部のメンバーシップ関数mD2,この関数mDは、前述のように、複数のラインh0,h1,h2...上にパルス幅の長短で表現されている。このようなパルス信号(gおよびmD)が印加されることにより、トランケーション部65からは、両信号のうちよりパルス幅が短い方が選定され、出力mDが出力される。この出力mDは、mDと対応したn本のラインで表現される。このような処理は、通常のアジコンピ

ータでいわゆる“頭切り”と呼ばれる処理と等価である。

このようにして前件部の処理および後件部の処理が終了すると、一つの処理が終了したことになる。従つてファジイコンピュータは次のルールを処理する状態に移る。このようにして、次々とルールを実行し、最終的に推論を完成するのであるが、次に、各ルールの実行結果の合成について説明する。

され、前述のように、最初のルールの実行が終了すると、その実行結果であるmDは、C-max回路66およびn本のラインからなるバス67を介して、初期にはリセット状態のシフトレジスタ群68に読み込まれる。このシフトレジスタ群68は、前記ライン毎に設けられたn組のシフトレジスタで構成され、前述のPWM表現されたパルス幅信号を再現可能に記憶する。

C-max回路66はその詳細を第19図に示すように、2入力OR回路が前記ライン数に対応してn組並設されている。従つて、最初のルールの実行後には、出力mDの各パルス信号がそのままシフトレジスタ群68に記憶される。

第2番目のルールの実行が終了すると、出力mDがC-max回路66に印加されるタイミングと同期して、シフトレジスタ群68から最初のルールによる実行結果が再生されて印加され、OR回路の作用により、n本のライン毎により長い方のパルス幅の信号が選定され、前同様シフトレジスタ群68に記憶される。このような動作は、公知・通常のアジコンコンピュータにおけるいわゆる“MAX演算”と等価である。

このようにして、各ルールの実行の終毎に、シフトレジスタ群68の中には、それまでに実行したルールの合成結果が、PWM表現の形で記憶されることになる。そして最終ルールの実行後には、最終的な推論結果が、シフトレジスタ群68中にPWM表現での再生可能な形で記憶される。

次に、このようにして得られた推論結果を確定値情報に変換する、いわゆるデファジファイ処理について説明する。

デファジファイ処理を行うデファジファイヤ69の詳細を第20図に示す。又、このデファジファイヤ69の動作を第21図のフローチャートに示す。

さて、全てのルールの実行が終了すると、シフトレジスタ群68(第16図)に格納された実行結果が、バス67を介して、デファジファイヤのn個のシフトレジスタ700~70n-1に各ライン毎に読み込まれる。この結果、これらの各シフトレジスタ70には、PWM表現された実行結果が転写された形で記憶される。この記憶状態を第22図に模式的に示す。

これらのシフトレジスタ70は前述のように直列モードでデータを読み込むとともに、出力としては並列信号を出すもので、この並列信号により、前述のPWM表現され

10
20
30
40
50

た実行結果；すなわち第22図に限つて言えば波形73の高さを、出力する。

本フアジコンピュータにおいては第22図の前記波形73を、その左右において面積を2等分する点（ないし線）74を確定値とすることによりデフアジファイする。そして、このデフアジファイ処理を前もつて概説すると、第22図において、左からa方向に波形高さを加算（積算）して波形の左側の部分面積を順次求めていく。同様に、右からb方向に波形の右側の部分面積を求めて行く。そして、各部分面積を比較し、両者が一致するか検出する。一致しない場合は、少ない方について前記加算をし、この加算した結果について前記比較を行なう。このように加算（積算）・比較を繰返すことにより、最終的にはデフアジファイ出力74を得る。

さて、最初左右のカウンタ75,76は「0」および「n-1」にそれぞれプリセットされ、最左端のシフトレジスタ700および最右端のシフトレジスタ70n-1が指定（アドレス）される。これとともにアキムレータ77,78はリセットされる。この結果、リードコントローラ71を介して最左端のシフトレジスタ700がアドレスされ、そのデータf(0)がデータバス79に出力される。この出力されたデータはアキムレータ77の内容と加算され、その結果がアキムレータ77に格納される。

次に、リードコントローラ72を介して最右端のシフトレジスタ70n-1がアドレスされ、そのデータf(n-1)がデータバス79に出力される。この出力されたデータはアキムレータ78の内容と加算され、その結果がアキムレータ78に格納される。

すると、比較器300がアキムレータ77の値1とアキムレータ78の値rとを比較する。比較器300は、1 > rのときはアキムレーションコントローラ301を駆動し、1 < rのときはアキムレーションコントローラ302を駆動する。アキムレーションコントローラ301,302は、駆動されると、それぞれアップカウンタ75,ダウンカウンタ76にイネーブル信号を与える。

アップカウンタ75は、イネーブル信号を受信すると、記憶値aに「1」を加算し、リードコントローラ71を駆動する。リードコントローラ71は、アップカウンタ75の値aに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキムレータ77に加算される。

ダウンカウンタ76は、イネーブル信号を受信すると、記憶値bから「1」を減算し、リードコントローラ72を駆動する。リードコントローラ72は、ダウンカウンタ76の値bに対応するシフトレジスタを指定する。指定されたシフトレジスタのデータはアキムレータ78に加算される。

以下、同様にして、アキムレーションコントローラ301,カウンタ75,リードコントローラ71,アキムレータ77の組、または、アキムレーションコントローラ302,カウンタ76,リードコントローラ72,アキムレータ78の組のいずれ

か一方が比較器300によつて選択されて駆動される。

以上の動作を繰返していくと、カウンタ75,76の出力を受ける比較器303は、カウンタ75の値がカウンタ76の値以上になつたことを検出して、ゲート305を開くようになる。ゲート305が開かれると、カウンタ76の記憶データが確定値drとして出力される。ゲート305が開かれるとき、アキムレータ77の累積値とアキムレータ78の累積値とが誤差の範囲で近似的に等しくなっている。

確定値すなわち推論の結論値drは、第8図の書き込みインターフェイス部224を介して、フアジイ結論メモリ20に記憶する。このときのアドレスは、MPU1から与えられてrラッチ回路31に記憶されているものが使用される。

フアジイ結論メモリ20に記憶された確定値は、以後同じデフアジファイ出力の要求があつたとき、フアジイ結論メモリ20から結論メモリデータレジスタ25を介して結論データレジスタ251に読出されて使用される（第23図参照）。または、以後の推論の前件部に、フアジイ結論メモリ20に記憶している値が変数として現われたとき、その値が前件部の推論を行なうために用いられる（第24図）。

【図面の簡単な説明】

第1図は多段階フアジイ推論のためのシステム構成図で、第2図は推論処理の一例を示す処理概略図である。第3図はフアジコンピュータのブロック図で、第4図は、フアジイルールメモリを示すメモリマップで、第5図はルールコントローラのブロック図で、第6図はフアジイルールメモリとルールコントロールメモリのメモリ上の関係を示す図である。第7図は結論メモリコントローラのブロック図で、第8図はフアジイ結論メモリ部のブロック図で、第9図はフアジイ結論メモリの構造を示すメモリマップである。第10図はフアジイルールレジスタ部のブロック図で、第11図は入力制御部のブロック図である。第12図はメンバーシップ関数を示す図で、第13図はメンバーシップ関数をライン毎に分解した図で、第14図は波形作成ユニットのブロック図で、第15図はメンバーシップ関数の波形図である。第16図はフアジイ推論部のブロック図で、第17図はMIN回路の構成図で、第18図はトランケーション部の構成図で、第19図はコレスボンデンス・マックス回路（C-MAX回路）の構成図で、第20図はデフアジファイヤのブロック図で、第21図はデフアジファイヤの処理を示すフローチャートで、第22図は推論結果を示す模式図である。第23図は過去と同じ推論を行なう場合の例を示す図で、第24図は過去の結果を前件部の推論に使う場合の例を示す図である。第23図および第24図における（イ）は過去の推論を示し、（ロ）は今回の推論を示す。

1:MPU,2~5:フアジコンピュータ,

6:センサ,9:フアジイルールメモリ,

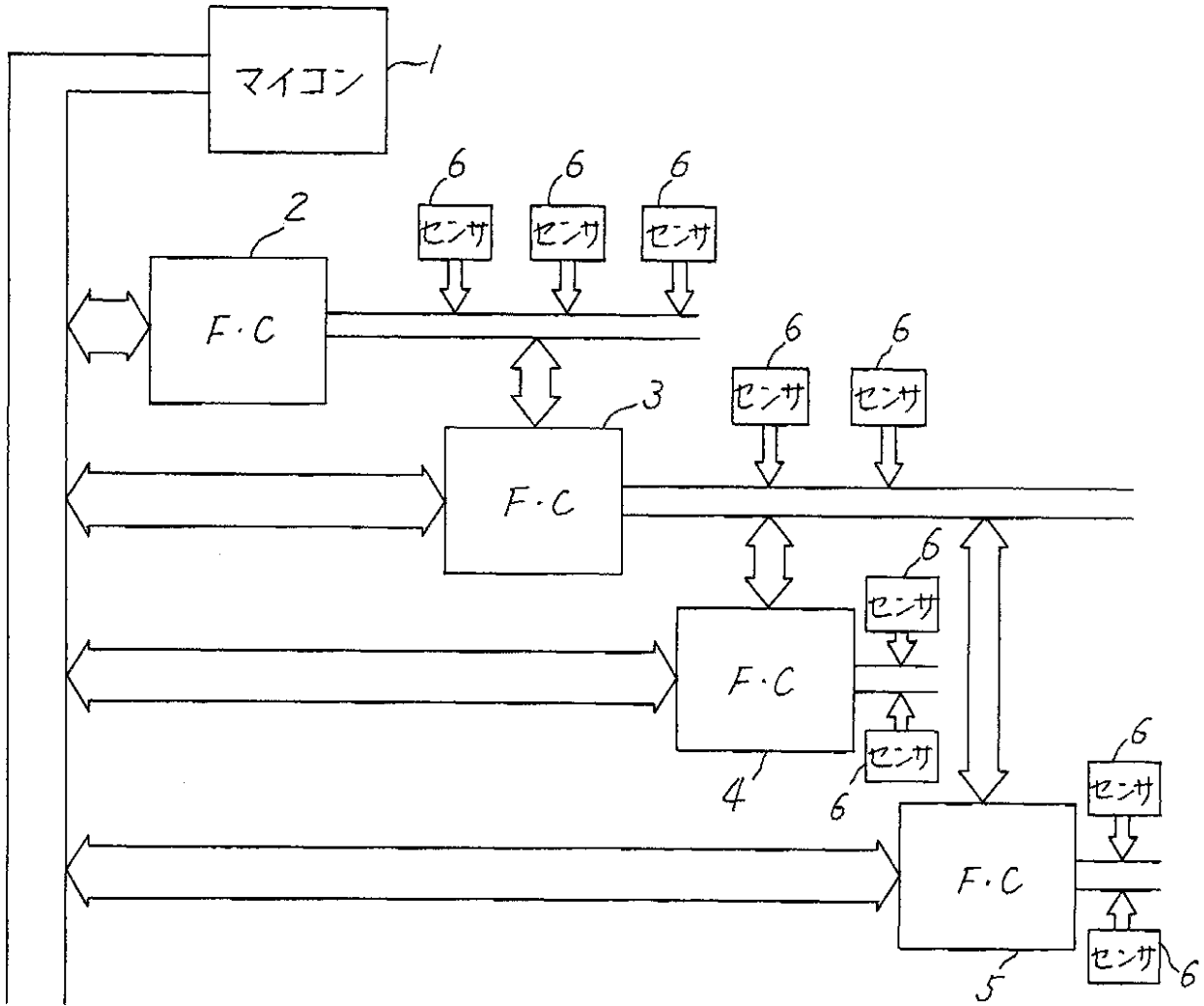
10:ルールコントローラ,

13: ファジィ結論メモリ部,
14: ファジィ推論部,

* 15: 結論メモリコントローラ
*

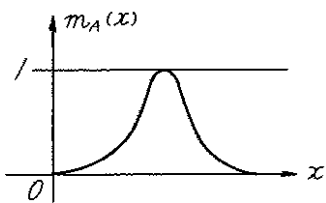
【第1図】

システム構成図



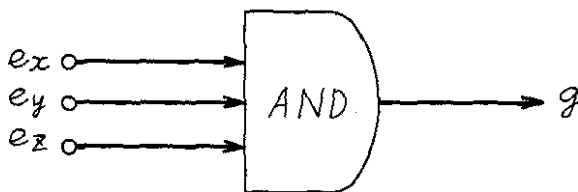
【第12図】

メンバシップ関数



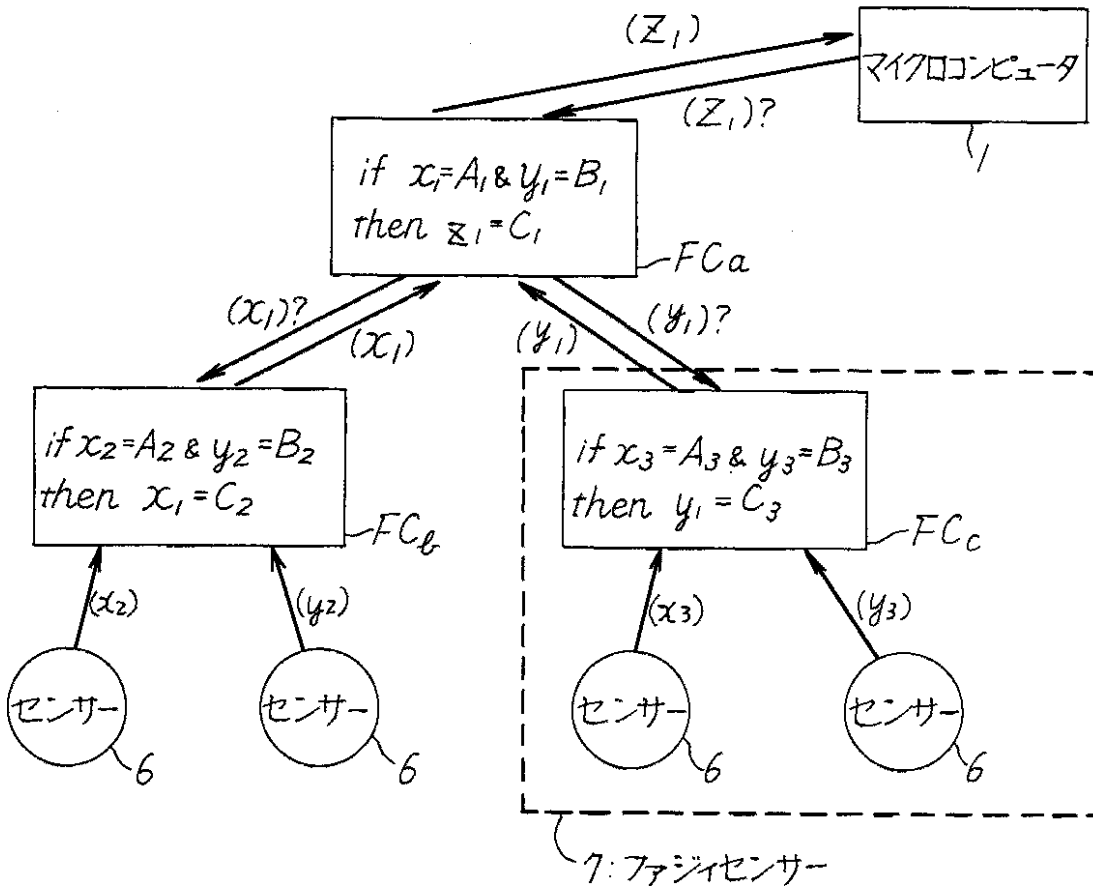
【第17図】

min 回路



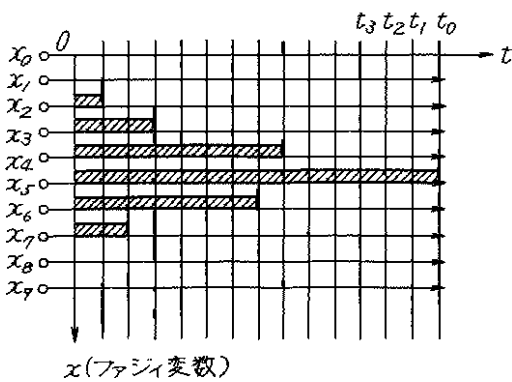
【第2図】

処理概略図



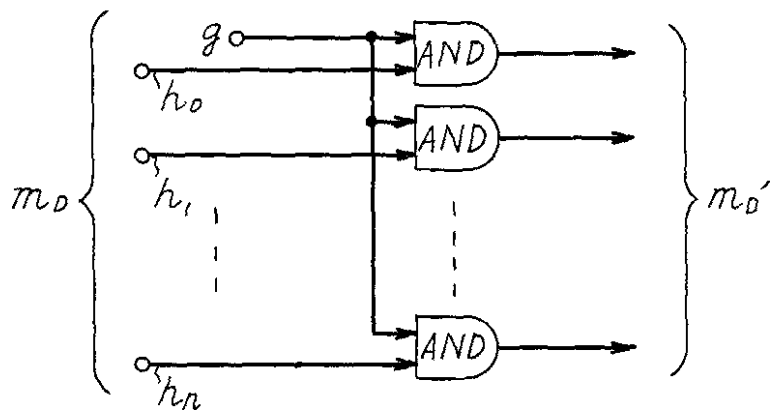
【第13図】

メンバシップ関数



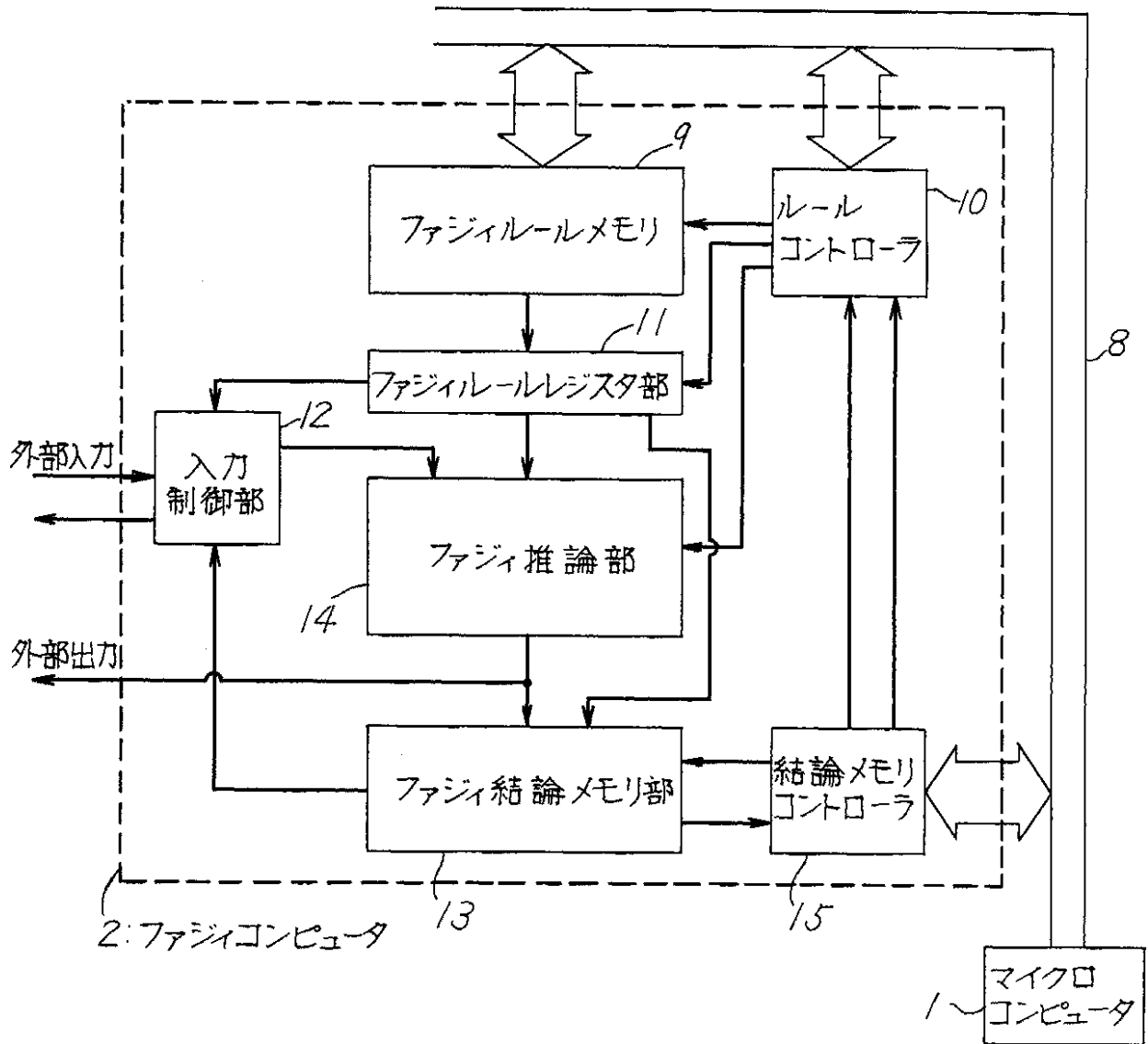
【第18図】

トランケーション部



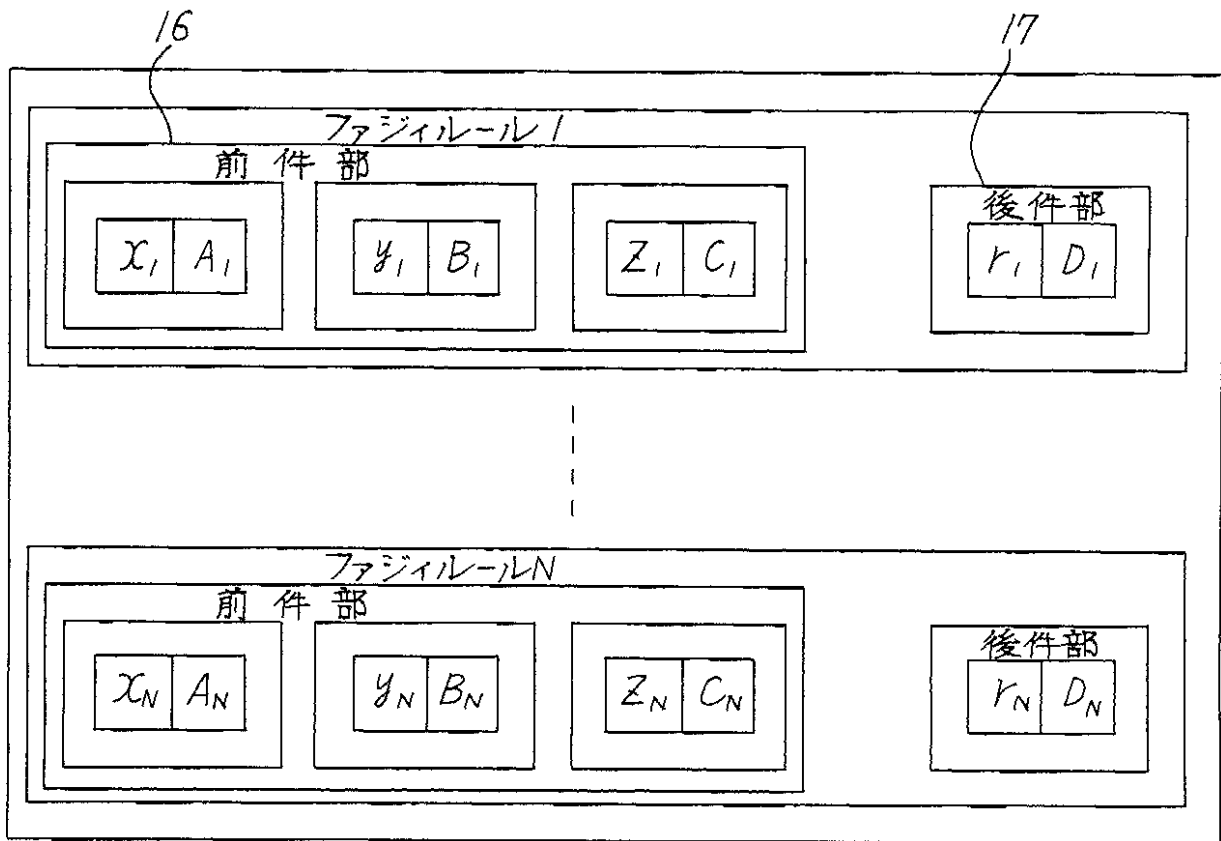
【第3図】

ファジィコンピュータのブロック図



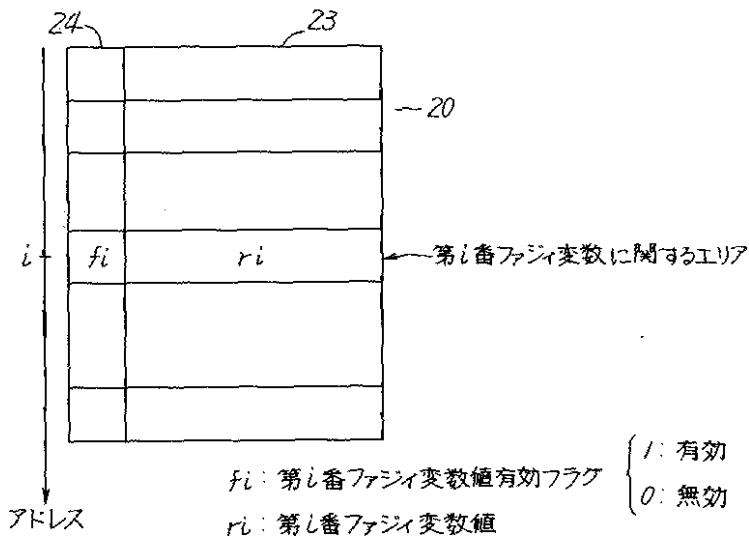
【第4図】

ファジイルールメモリ



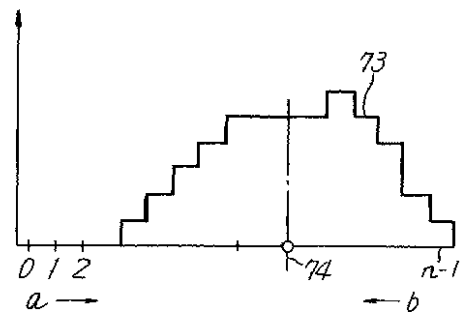
【第9図】

ファジィ結論メモリの構造



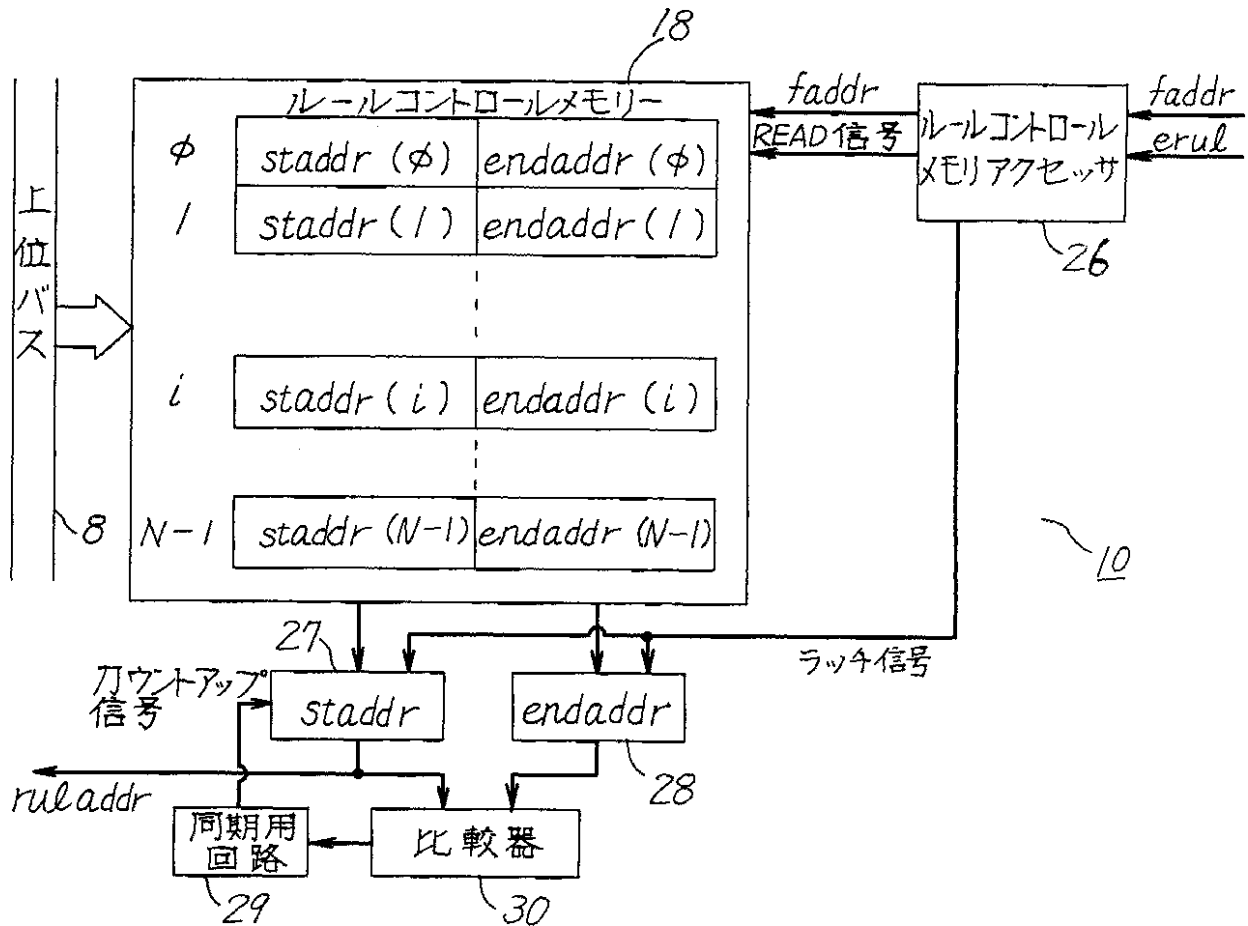
【第22図】

推論結果を示す模式図



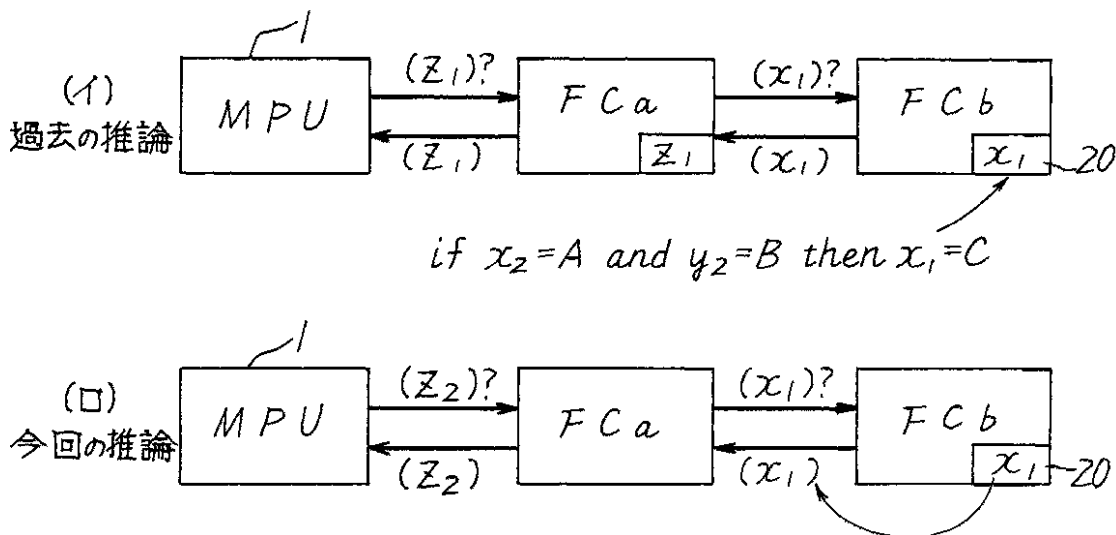
【第5図】

ルールコントローラのブロック図



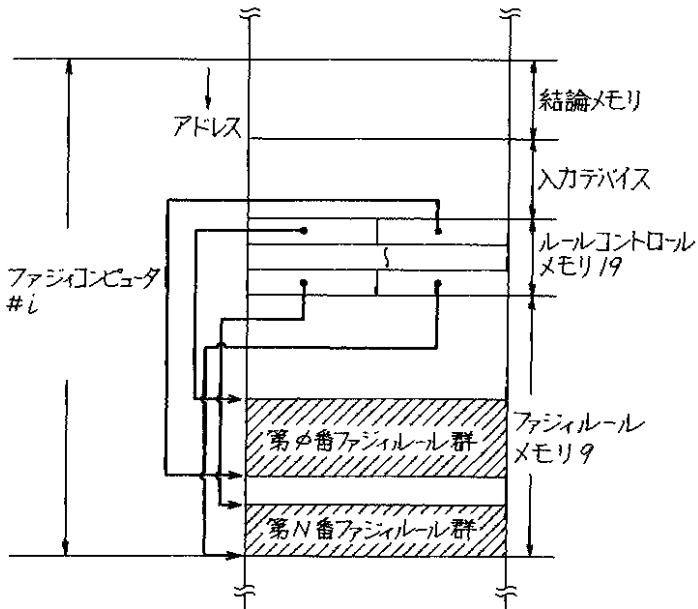
【第23図】

過去と同じ推論を行なう例(x1)



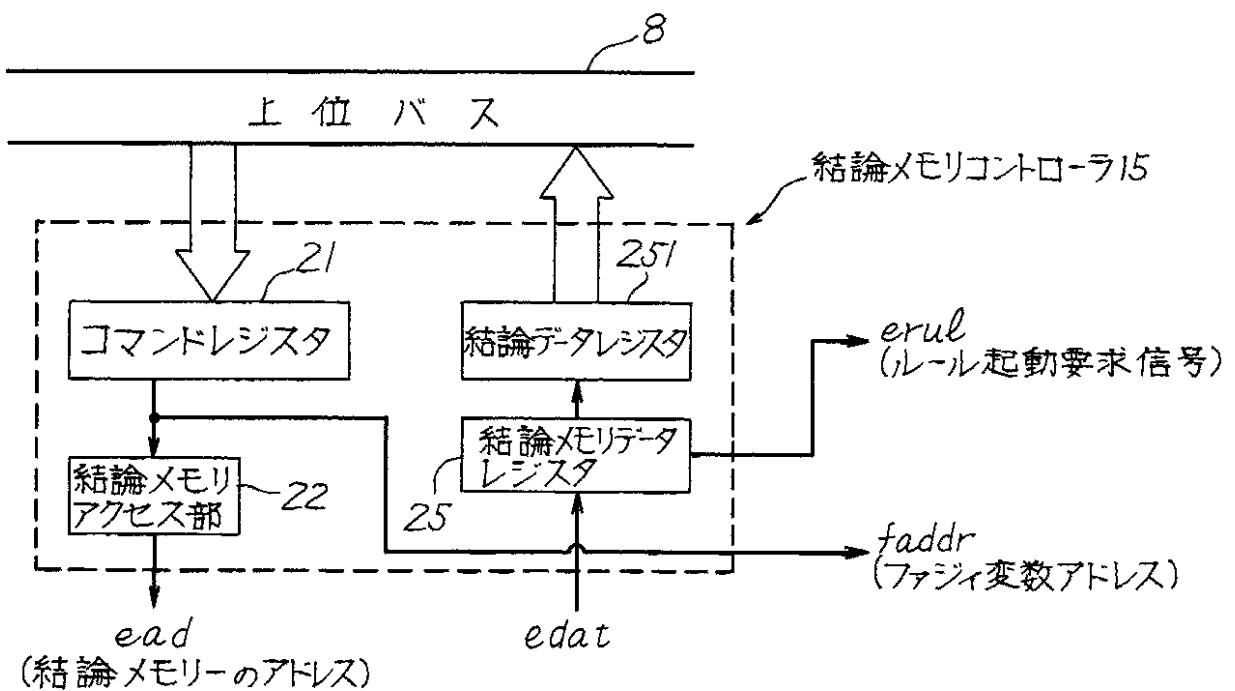
【第6図】

ファジィルールメモリとルールコントロール
メモリのメモリ上の関係を示す図



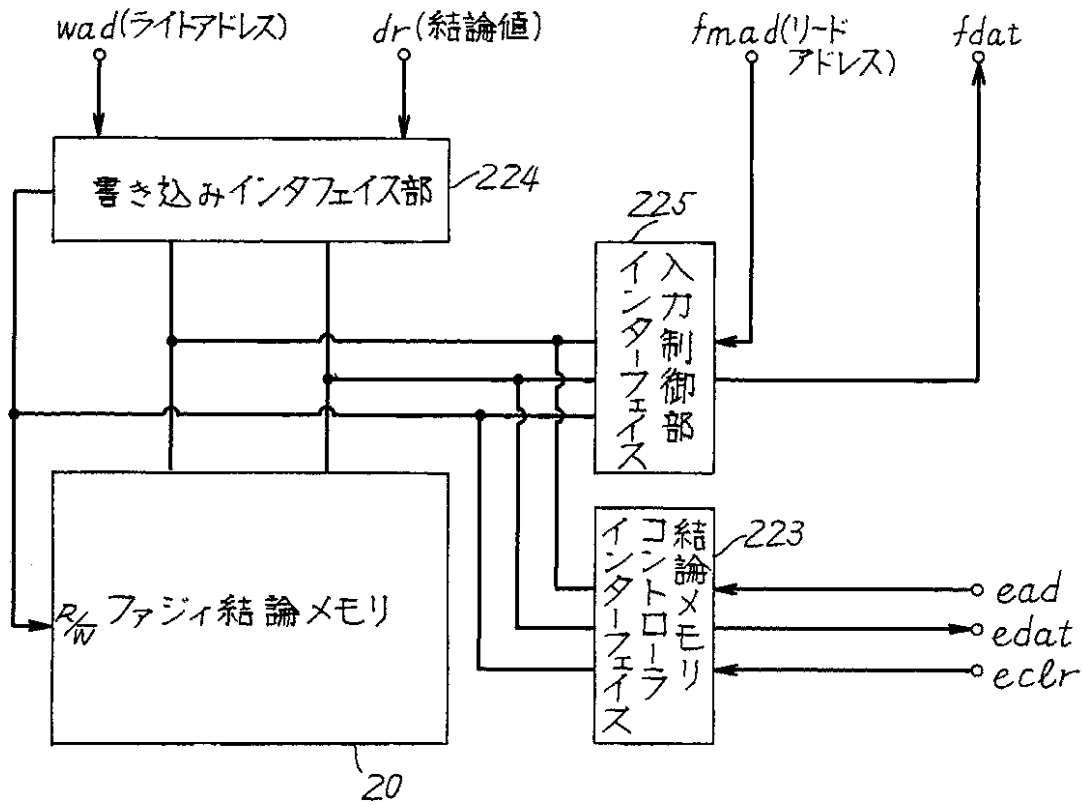
【第7図】

結論メモリコントローラ



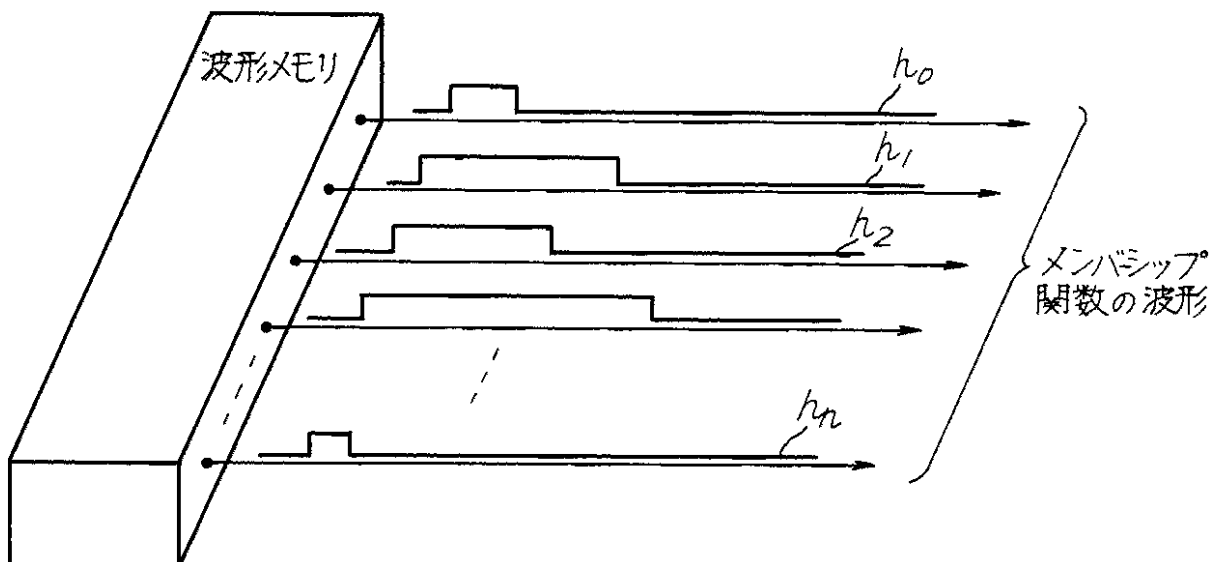
【第8図】

ファジィ結論メモリ部

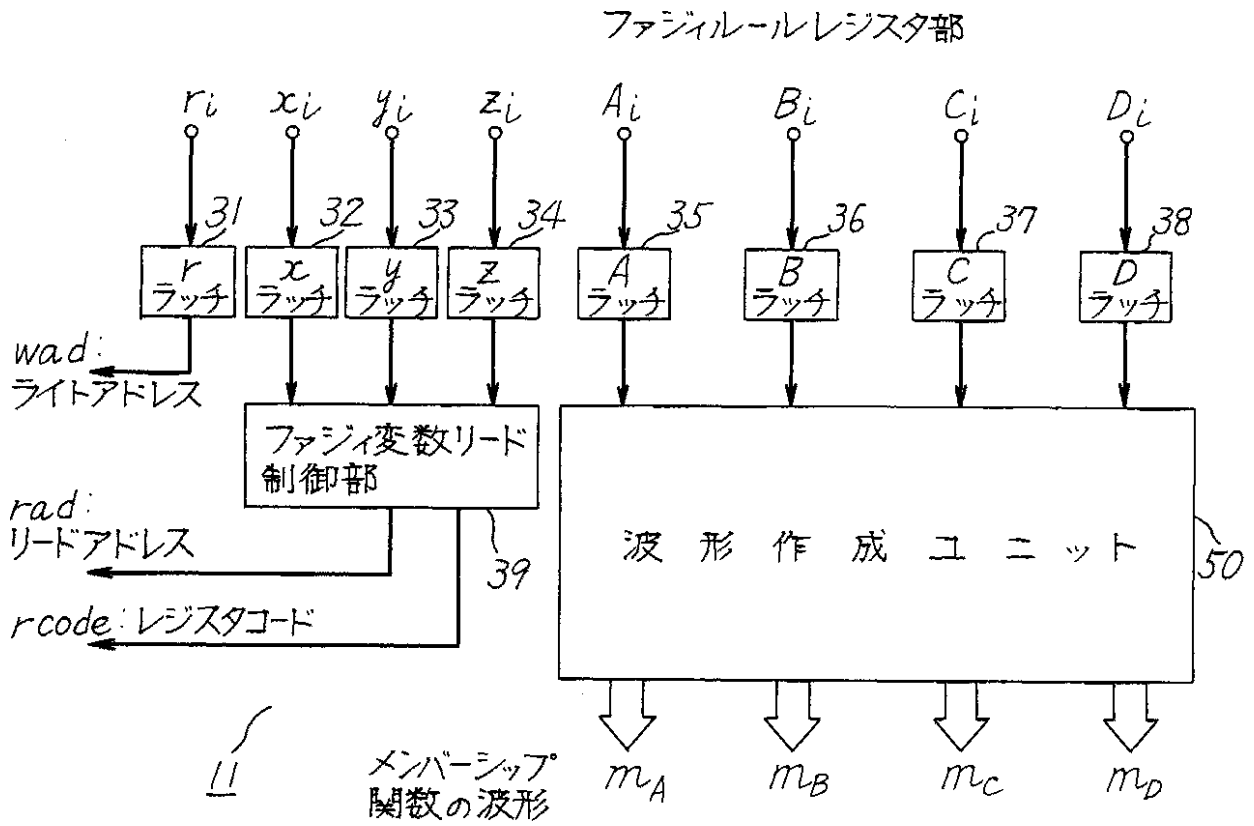


【第15図】

メンバシップ関数の波形図

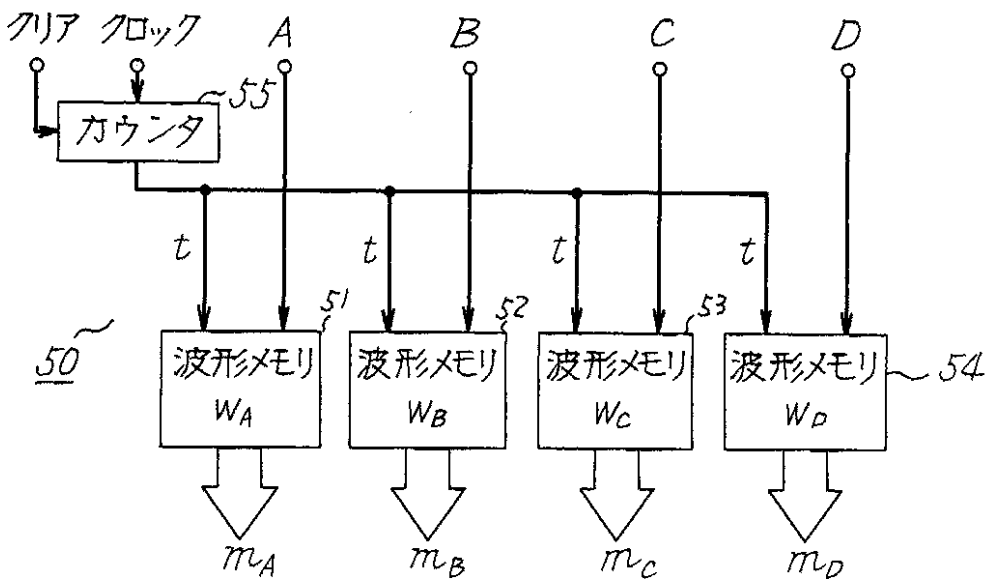


【第10図】



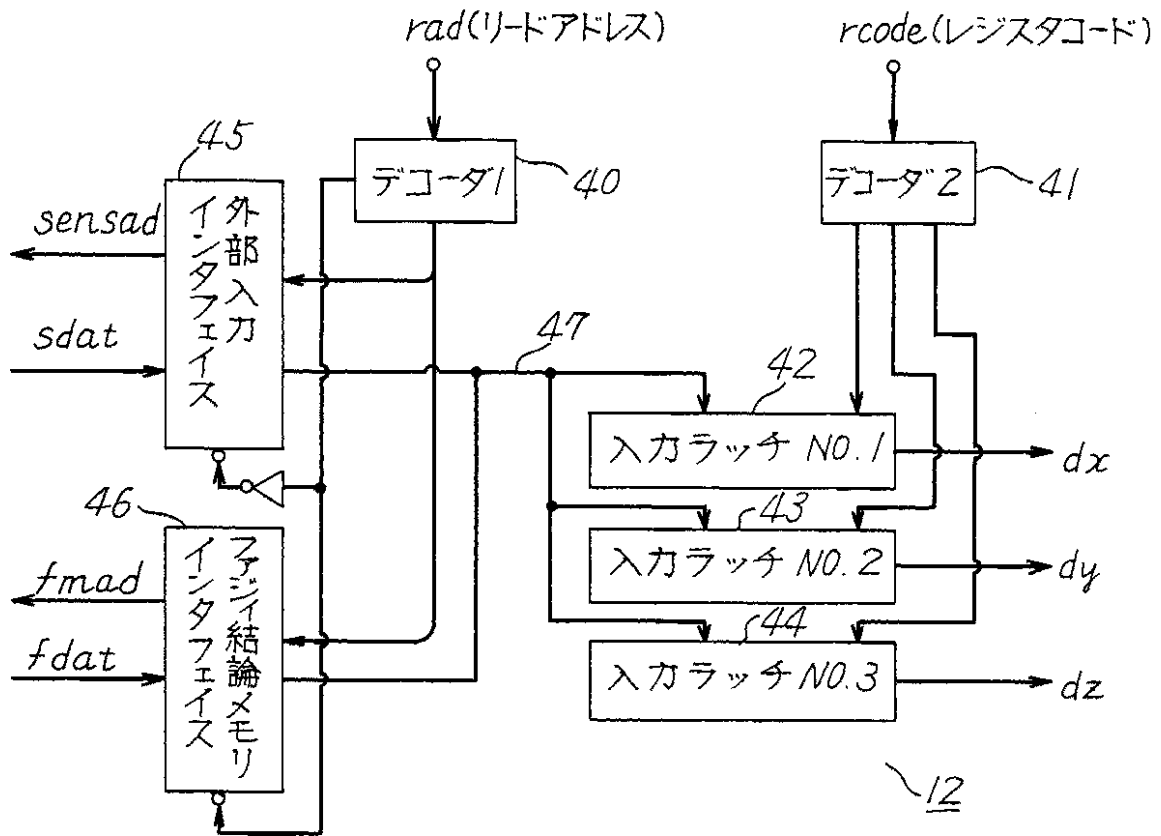
【第14図】

波形作成ユニット



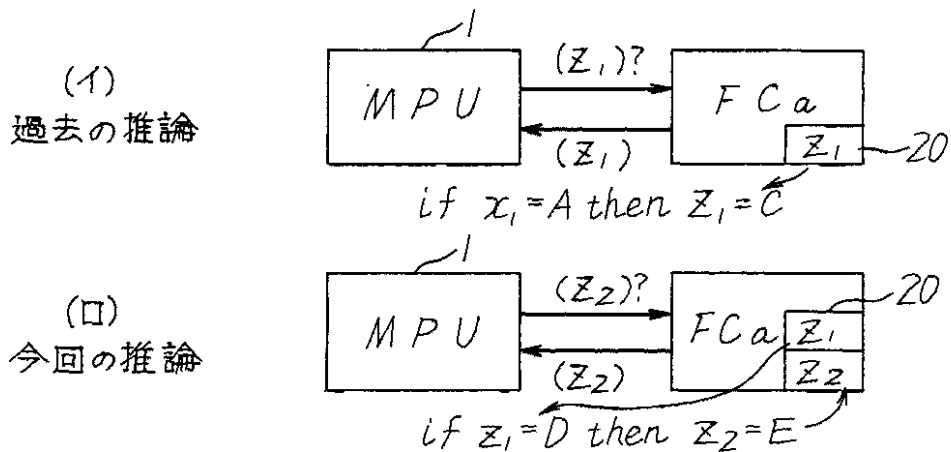
【第11図】

入力制御部



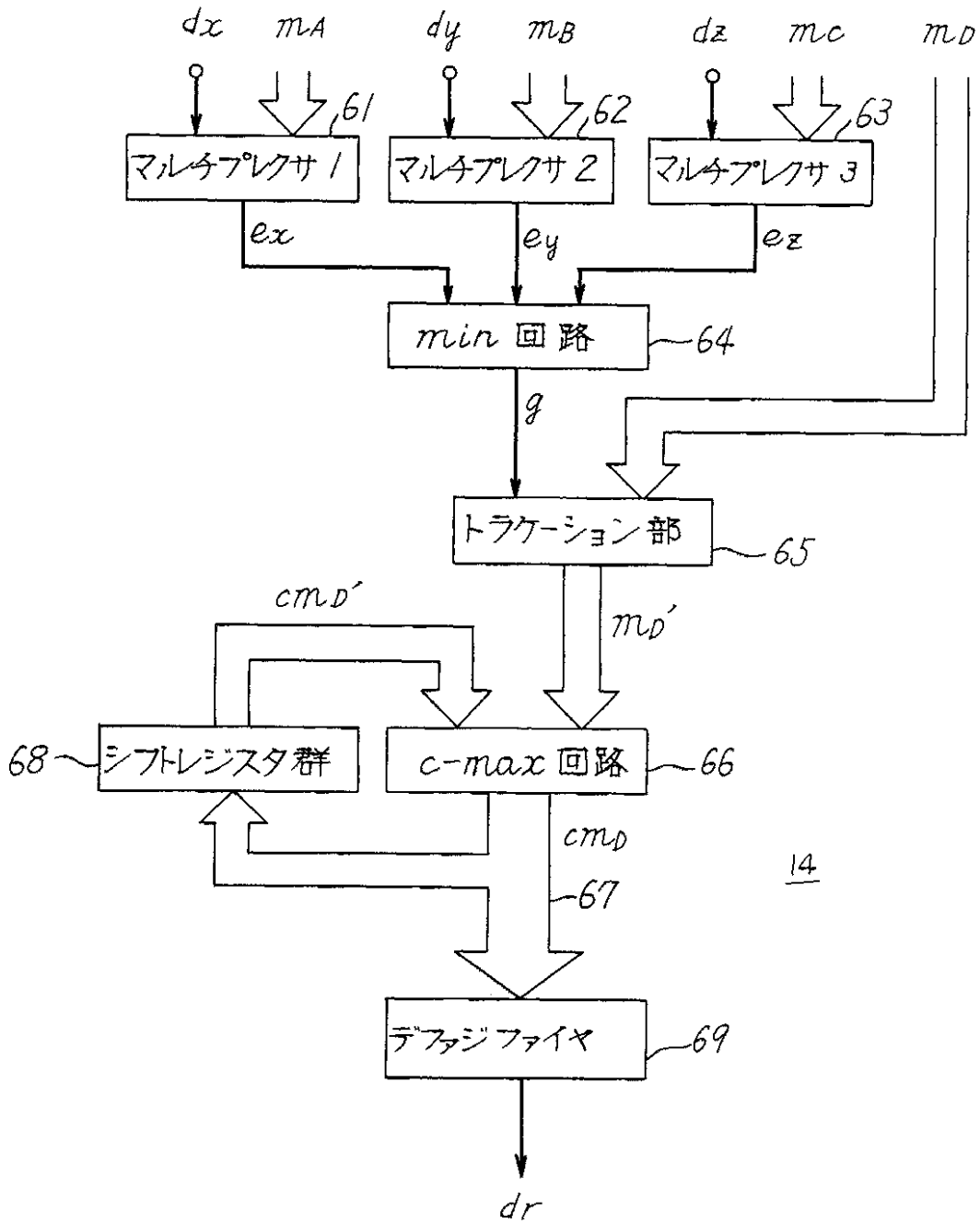
【第24図】

過去の結果を前件部の推論に使う例 (Z1)



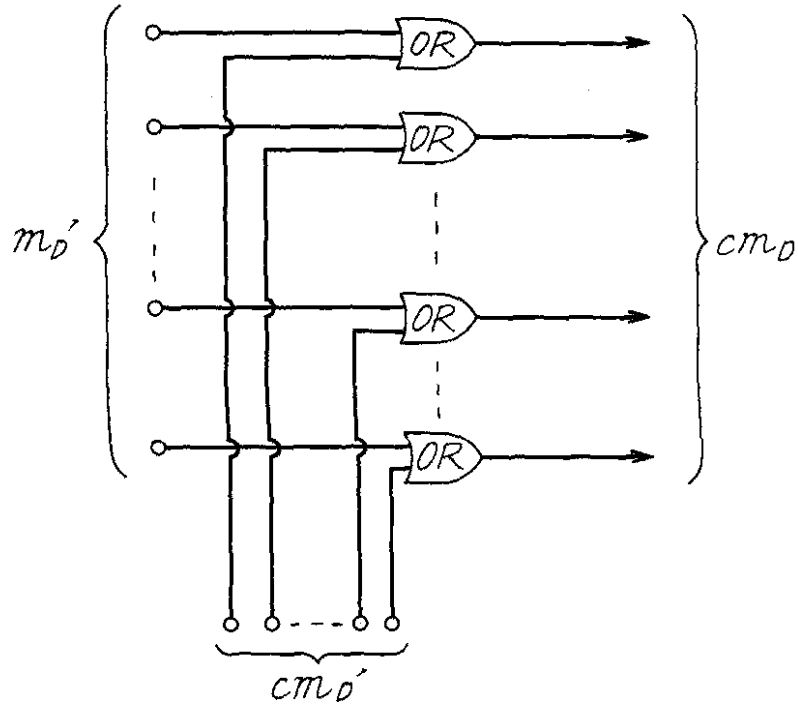
【第16図】

ファジィ推論部



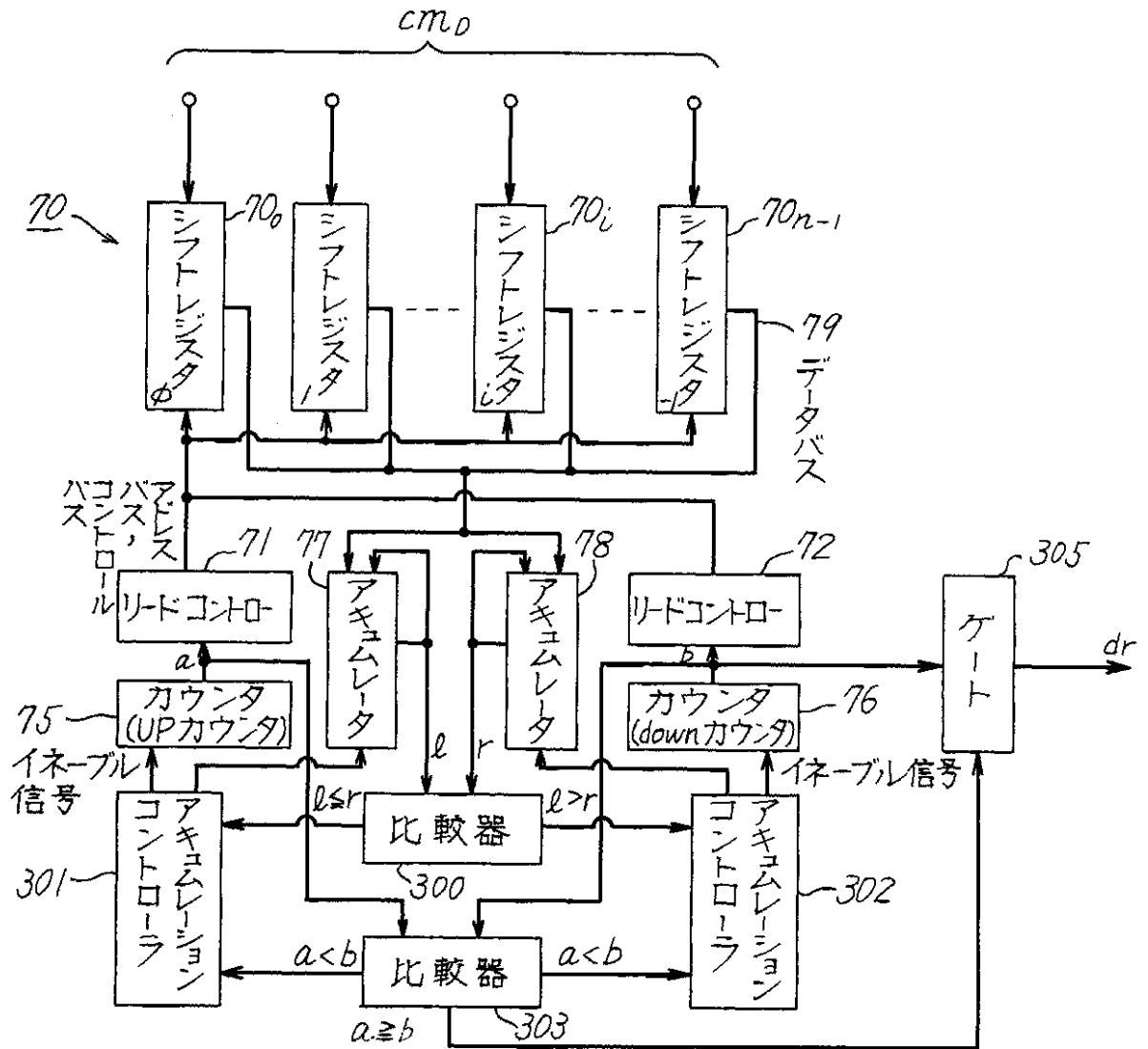
【第19図】

c-max 回路



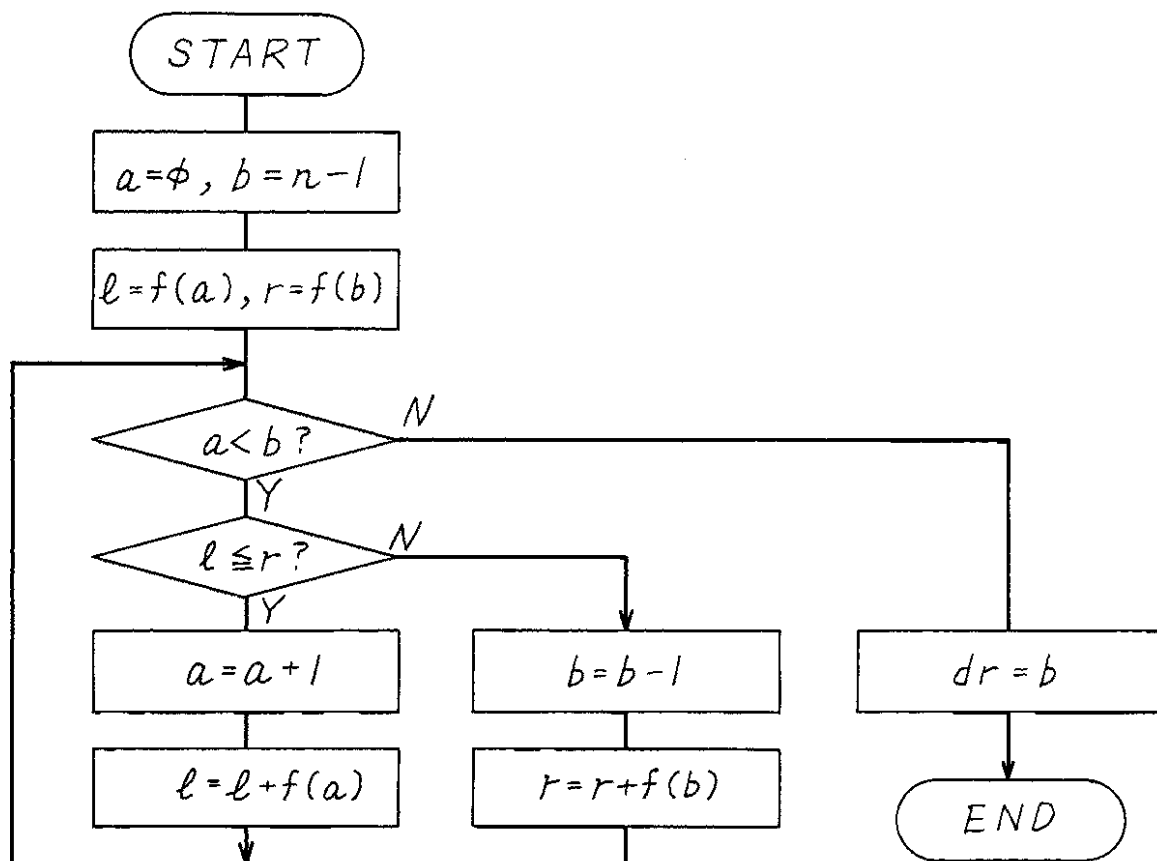
【第20図】

デファジファイヤ



【第21図】

デファジファイヤの処理フロー



a: カウンタ1の出力
b: カウンタ2の出力
l: アキュムレータ1の出力
r: アキュムレータ2の出力