

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭55—67874

⑮ Int. Cl.<sup>3</sup>  
G 06 K 9/66

識別記号

庁内整理番号  
7622—5B

⑯ 公開 昭和55年(1980)5月22日

発明の数 2  
審査請求 未請求

(全 17 頁)

⑰ デジタル型自己組織情報処理システムとその  
構成単位となり、演算機能を持つ学習素子

校内

⑱ 出 願 人 黒木慶平  
広島県安芸郡熊野町2760—9

⑲ 特 願 昭53—141408

⑲ 出 願 人 久野敦司  
下田市中430逆川宿舎8号

⑳ 出 願 昭53(1978)11月15日

㉑ 発 明 者 久野敦司  
下田市中430逆川宿舎8号

㉑ 出 願 人 谷延京一  
呉市若葉町1の1海上保安大学  
校内

㉒ 発 明 者 黒木慶平  
広島県安芸郡熊野町2760—9

㉒ 出 願 人 三宅宏明  
呉市若葉町1の1海上保安大学  
校内

㉓ 発 明 者 谷延京一  
呉市若葉町1の1海上保安大学

明 細 書

1. 発明の名称

デジタル型自己組織情報処理システムとその構成  
単位となり、演算機能を持つ学習素子

2. 特許請求の範囲

(1) 入出力関係の要求を受けると、それを状  
態遷移命令符号、すなわち前記入出力関係の要求  
を満足する演算を行なう状態になるように演算素  
子の内部状態を遷移させる符号に、変換する手段  
と、前記状態遷移命令符号の入力の時間的系列を  
ある有限の時間範囲で記憶保持する手段と、前記  
時間的系列の記憶の内容を読み取り、その内容を  
あらわす符号を得る手段と、その符号を入力され  
て状態遷移を行ないその状態を記憶保持する手段  
と、さらにその記憶の内容によつて多入力1出力  
の演算を制御する手段とを具備することを、特徴  
とする演算素子

(2) 特許請求の範囲第1項記載の演算素子と  
分流素子を、セル構造形式で繰り返し配列するこ  
とによつて得られる2つの系、すなわち教育信号  
系とパターン信号系、およびパターン信号系の出

力符号と教育信号系への入力符号とを比較監視す  
る手段を具備し、教育信号系とパターン信号系  
の相互作用およびその相互作用を、パターン信号  
系の出力符号と教育信号系への入力符号とを比較  
監視する手段によつて制御することにより、ある  
入力符号の集合を指定された符号の集合に変換す  
る機能を自己組織によつて、獲得することを特徴  
とするデジタル型自己組織情報処理システム

## 3. 発明の詳細な説明

本発明はある符号の集合を指定された符号の集合に変換する機能を、自己組織によつて形成する自己組織情報処理システム、及びその構成単位としての学習素子であつて、デジタル動作を行なうものに関する。

従来、ほとんどすべての情報処理装置及びそれらを含むシステムは、人間がその細部まで動作を決定してやり、その動作を行なうように設計し製作してきた。しかし、人間の頭脳に匹敵するような情報処理システムを得ようとしたり、パターン認識に代表されるように入力があいまいな場合でもある一定の出力が出るような機能を得る事は、従来のように人間が思考してシステムの動作を決定して、設計して製作するようなやり方では非常に困難である。このような限界を打破して、人工頭脳に代表される複雑な情報処理システム及びそれらを含むシステムを得るには、システムに自己組織機能を与えなければならぬ。

自己組織情報処理システムの例としては、ロー

- 3 -

ンプレットのパーセプトロンやアダリン、パバ等がある。これらはいずれも神経細胞の動作を電子回路によつて模倣しようとしたものであり、加算器、しきい値素子、可変荷重素子より成り立っている。これらはシステムに対する教育によつてシステム内の可変荷重素子の荷重の値を変化させ自己組織を行わせるものである。

可変荷重素子はFETのゲート電圧をコンデンサにたまつた電荷による電圧によつて制御し、ソースとドレインの間の抵抗値が変化する現象を利用すれば実現できる。現在、可変荷重素子として最も有望なのはこのFETとコンデンサの組合わせによるものである。

しかし、この方法では大きな容量のコンデンサが必要であり、これらのコンデンサへの充電の時間数を制御することは非常に困難である。このために、パーセプトロン、アダリン、パバ等は広く実用化されていないのである。また実用化されたとしても、集積化、低価格化、小型化するのには非常に困難をとまなりであろう。なぜなら可変荷重

- 4 -

素子はI/O化するのには不向きだからである。また、システムの動作は逐次的ではなく信号として正電位、ゼロ電位、負電位の各電位を使用するので、2値信号でしかも逐次動作を行うデジタルコンピュータとの結合は困難であろう。

本発明は、現在までに提案された自己組織情報処理システムの上記のような欠点を、現在実用されているデジタル技術を組み合わせることで、除去し自己組織情報処理システムの実用化を可能にするものである。

第15図において37で示されるパターン信号系とは、入力符号(パターン)を出力符号に変換する系である。36で示される教育信号系とは、パターン信号系に教育信号を与えることによつてパターン信号系に入力されたパターンがそのパターンを表わす符号に変換されるように、パターン信号系を自己組織させる系である。

ここで説明の都合上、本発明のデジタル型自己組織情報処理システムを〔サイバネトロン〕と名付けて以後の説明に用いる。

- 5 -

サイバネトロンは{0, 1}の2値信号によつて動作する。サイバネトロンは第15図に示したように、教育信号系とパターン信号系をその基本構造として持つている。第15図はサイバネトロンがパターンPを符号ceに変換する機能を自己組織によつて獲得する過程を示している。第15図の(a)において、教育信号系36の右端から符号ceをサイバネトロンへの教育入力として入れ、パターン信号系37の左端からパターンPを入力として入れる。

その結果、第15図(b)に見られるように教育信号系では符号ceを原因とする信号の流れのパターンが生じる。(第15図(b)の36に示す格子や縦じまやギザギザの模様は、信号の流れのパターンを表わすものである。)

また同様にパターン信号系37にもPを原因とする信号の流れのパターンが生じる。36と37は両者を結ぶ多数の教育結線によつて相互に作用しあい、たがいの信号の流れのパターンを同一のものにしようとするものである。

- 6 -

その結果、第15図(c)に示すように36と37において、たがいの信号の流れのパターンは同一になる。これは左端からPを入力すると、第15図(c)に示す信号の流れのパターンがパターン信号系の中に生じ、パターン信号系の右端からは符号 $C_p = C_e$ を出力するようにパターン信号系が自己組織したことを示す。

ここで、38で示すEORについて説明する。38で示されるEORは、符号 $C_p$ と $C_e$ が一致するかどうかを監視するものである。

パターン信号系と教育信号系との相互作用は符号 $C_p$ と $C_e$ を一致させようとするものであるが、その結果 $C_p = C_e$ となつたならば、38で示されるEORはそれを察知して、パターン信号系の内部状態が適当なものになつたと判断する。そのうち、教育信号系からパターン信号系に向かう教育結線によつて、パターン信号系の内部状態が変化しないようにするために、EORがその教育結線を無効なものにするのである。

ただし、教育結線とは教育信号を伝える結線であ

つて方向性をもつものである。

パターン信号系と教育信号系の相互作用の過程において、パターン信号系の出力符号 $C_p$ と教育信号系への入力符号 $C_e$ は、だんだんと似て来るのである。

$C_p$ と $C_e$ の類似度を表現するのにハミング距離を用いることもできる。 $C_p$ と $C_e$ のハミング距離が短くなればなるほど、38で示されるEORは教育信号系からパターン信号系へ向かう教育結線のうちで、無効なものの本数を増やして行くのである。

したがつて、教育信号系からパターン信号系への教育結線は、パターン信号系の内部状態が適当なものになればなるほど、無効になる本数が増加するので、パターン信号系の適当な内部状態は安定になる。この時に、パターン信号系から教育信号系への教育結線は無効にされることなく残るので、パターン信号系の信号の流れのパターン(パターン信号系信号場 $F_p$ )は変化しないが、教育信号系の信号の流れのパターン(教育信号系信号

場 $F_e$ )は $F_p$ と同一のものになつてゆく。

すなわち、パターン信号系と教育信号系は相互に作用を及しあいながら両者ともに自己組織を行つてゆくが、パターン信号系が適当な内部状態を持つに致れば、教育信号系はその状態に対応する状態に自己組織してゆく。その後、サイバネトロンに対して新たな教育が行われたとしても、パターン信号系は教育信号系からの教育入力によつて自己組織するのであるから、パターン信号系は以前に獲得した良い状態をなるべく破壊しないようにし、新たな教育に回答しようとする。

このように、過去に獲得した良い状態をなるべく安定にして自己組織を行うのが、サイバネトロンの特長である。

次に第11図を用いて、サイバネトロンの原理を数学的に説明する。

第11図の教育信号系記憶場 $M_e$ は、教育信号系を構成する多数の素子の持つ記憶(具体的に言うと、シフトレジスタやフリップフロップ等の記憶回路や記憶素子の持つ記憶)を、場の形で表現

したものである。

パターン信号系記憶場 $M_p$ も、パターン信号系を構成する多数の素子の持つ記憶を場の形で、表現したものである。

教育信号系信号場 $F_e$ は、教育信号系を構成する多数の素子の出力する信号を場の形で表現したものである。 $F_e$ は教育信号系への入力符号 $C_e$ が変化すれば、CLOCK信号が入らなくても変化するが、 $M_e$ は $C_e$ が変化して $F_e$ が変化してもCLOCK信号が教育信号系へ入らないかぎり変化しない。

パターン信号系信号場 $F_p$ は、パターン信号系を構成する多数の素子の出力する信号を場の形で表現したものであり、 $M_p$ と $F_p$ の関係は $M_e$ と $F_e$ の関係に等しい。

第11図を数式で表現すると、次のようになる。

$$F_e = f_e(C_e, M_e) \quad \text{--- (1)}$$

$$F_p = f_p(P, M_p) \quad \text{--- (2)}$$

$$M_e(i+1) - M_e(i) = m_e(F_e, F_p) \quad \text{--- (3)}$$

$$M_p(i+1) - M_p(i) = m_p(F_e, F_p) \quad (4)$$

ここで、 $i$  は時刻をあらわす。

(1), (2), (3), (4) 式で示される教育信号系とパターン信号系の相互作用は、38で示されるEORによつて教育信号系からパターン信号系への多数の教育結線(第11図の42で示される線)が無効にされない場合のものである。

(1) 式の意味は、(教育信号系信号場  $F_e$  は教育信号系へ入力される符号  $C_e$  と、教育信号系記憶場  $M_e$  によつて決定される。) ということである。

(2) 式の意味も(1)式と同様である。

(3) 式の意味は、(教育信号系記憶場  $M_e$  は、 $F_e$  と  $F_p$  によつて変化させられる。) ということである。

(4) 式の意味も(3)式と同様である。

(3) 式、(4) 式において、 $M_e, M_p$  は  $F_e = F_p$  になるように変化していく。

パターン信号系と教育信号系は、 $F_e = F_p$  に

- 11 -

なるように相互作用を行つている。

$F_e = F_p$  となれば、空間的な信号の分布を示す信号場  $F_e$  と  $F_p$  は対応する各場所で等しくなるのであるから、教育信号系の右端とそれに対応する場所であるパターン信号系の左端では、信号は等しくなる。

したがつて、 $F_e = F_p$  となれば当然  $C_e = C_p$  となる。しかし、38で示されるEORは  $C_e$  と  $C_p$  の類似度(たとえばハミング距離)を監視しているだけなので、 $F_e = F_p$  であつても  $C_e = C_p$  となつたならばEORは第11図において42で示される教育信号系から、パターン信号系への教育結線は無効なものにしてしまう。

また、(1), (2) 式を見ればわかるように教育信号系、パターン信号系、EORによつて構成されるシステムであるサイバネトロンの内部状態は  $M_e$  と  $M_p$  によつて決定される。

ここで、サイバネトロンの内部状態を次のようにあらわすことにする。

$$S_t = (M_e, M_p)$$

- 12 -

ただし、 $S_t$  はサイバネトロンの内部状態である

また、サイバネロンはCLOCK信号によつて逐次的に状態遷移を行なう。

したがつて、CLOCK信号のくりかえし周期を短かくすればサイバネトロンの自己組織は速く行なわれる。また、この周期を長くすればゆつくりと行なわれる。

以上の説明からわかるように、サイバネロンは教育信号系、パターン信号系、EORによつて構成され、それらの相互作用によつて自己組織を行つシステムである。サイバネロンは、ある符号の集合を指定された符号の集合に変換する機能を自己組織的に形成するのであるが、その自己組織過程においてサイバネトロンの機能が、求められている機能に近づけば近づくほど、その機能を実現している内部状態は安定になつていく。これは教育信号系とEORの動きによるものである。

自己組織情報処理システムについて一般的に言えることであるが、自己組織情報処理システムが高度に自己組織するためには、外部からの情報が

- 13 -

できるだけその情報量を失なわないで、システム内部に侵入して行かねばならない。

自己組織情報処理システムには演算機能を持つた素子は不可欠である。しかし、2入力1出力の素子で代表されるような演算機能を持つた素子では必然的に入力の情報量より出力の情報量の方が小さくなる。したがつて自己組織情報処理システムには信号を分流させ、演算機能を持つた素子による情報量の減少を弱める働きをする分流機能を持つた素子も不可欠である。

ここで以後の説明の都合上、(演算機能記憶部)と(バッファ記憶部)という2つの言葉を次のように定義する。

演算機能記憶部は、ある演算システム内においてそのシステムの行なう演算を決定するものである。すなわち、演算機能記憶部の内部状態を  $M$  とすると、 $M$  によつてそのシステムの行なう演算は決定するのである。このことを数式で表現すると次の(5)式のようになる。

$$Y = L(X, M) \quad (5)$$

- 14 -

Xはそのシステムへの入力であり、Yは出力である。バッファ記憶部はシステムの行なり演算を直接決定することはない。

バッファ記憶部の内部状態をMbであらわすとMbは演算機能記憶部の内部状態Mの変化の仕方に影響を与える。

このことを数式で表現すると、次の(6)式のようになる。ただし、iは時刻をあらわす。

$$M(i+1) - M(i) = G(M(i), Mb(i)) \quad \text{--- (6)}$$

次に、サイバネトロンの構成単位となる学習素子について説明する。

サイバネトロンは自己組織情報処理システムであるので、サイバネトロンの構成単位となる学習素子には、演算機能を持つものと分流機能を持つものが必要である。

ここで、多入力1出力の演算機能を持ち、かつ次の条件(a)から(h)までを満足する素子を(演算素子)と名付ける。

(a) 何れも入出力関係の要求(入出力関係の要求

とは、ある入力符号に対して指定した符号を出力するようになれという要求である。)を受けると、その要求を満足する状態に、演算機能記憶部の内部状態は遷移する。

(b) 内部に演算機能記憶部とバッファ記憶部を持つ。

(c) 演算機能記憶部の内部状態の遷移は、過去の状態において演算素子が有していた入出力関係の機能を、なるべく保存するように行われる。

(d) ある入出力関係の機能を有する状態は複数個存在する。

(e) 現に有している入出力関係の機能を要求する内容の入出力関係の要求では、演算機能記憶部の内部状態は遷移しない。

(f) (e)のような場合、その時の演算機能記憶部の内部状態が安定になるように、バッファ記憶部の内部状態が遷移する場合もあり得る。

(g) 演算機能記憶部のいかなる状態遷移によつても、満足することのできない入出力関係の要

求が外部から行われると、反抗出力を出して外部を変えようとする。

(h) (0, 1)の2値信号を用いたデジタル動作を行うとともに、クロック信号によつて、逐次的に状態遷移を行う。

ここで、1入力多出力の分流機能を持ち、かつ次の(i)から(k)までの条件を満足する学習素子を分流素子と名付ける。

(i) 入力は1ビットであり、入力の符号を反転して分流するか、または、そのまま分流するかは分流素子内の記憶部の内部状態によつて決定される。

(j) 記憶部の内部状態は、演算素子からの反抗入力を原因として状態遷移を行なう。

(k) 分流素子は、自己への入力と同一の符号を教育出力として出す。

サイバネトロンは以上述べた演算素子と分流素子とその構成単位とするものである。

サイバネトロンの教育信号系も、パターン信号系も多数の演算素子と分流素子によつて構成されて

いる。サイバネトロンは教育信号系信号場Feとパターン信号系信号場Fpが同一になるように、教育信号系とパターン信号系が相互作用を行なうことによつて、サイバネトロンへの入力パターンPを指定された符号ceに交換する機能を自己組織的に獲得するものである。

Fe = Fpとなることが可能なのは、演算素子が上記(a)で示した機能を有するからである。すなわち、パターン信号系の各演算素子は教育信号系からの教育結線によつて、その演算素子と対応する場所の教育信号系の分流素子への入力符号と同一の符号を出力するようにより要求される。この要求は演算素子の機能によつて満足される。

サイバネトロンは演算素子が、機能(c), (d), (e), (f)を有しているために、過去に獲得した適当な状態をなるべく破壊することなしに、現在の入出力関係の要求を満足させることができる。

Fe = Fpとなる自己組織がサイバネトロンのシステム全体を通じて有機的に、なされるのは演

算素子の機能 (a), 分流素子の機能 (i), (j) 等のためである。

次に、サイバネトロンの一実施例について述べる。

サイバネトロンの構造は、第13図に示すような二重網目構造である。第13図において、V1, V2, V3, V4, V5, V6は結合して六角形をつくっている。この様な配列がくり返されてパターン信号系を形成する。また、W1, W2, W3, W4, W5, W6も結合して六角形を形づくっており、この様な配列がくり返されて教育信号系を形成する。

教育信号系とパターン信号系は多くの教育結線（たとえば、分流素子V5から演算素子W5へ向かう結線）により、相互に結ばれている。教育結線は、一方の系の分流素子からその場所に対応する場所にある、他方の系の演算素子へ結合されている。

本実施例のサイバネترونにおいて、第15図に示すような自己組織過程が、どのように行われ

-19-

るかを説明する。

本実施例では、教育信号系信号場は、教育信号系の演算素子の出力信号を場の形で表現したものである。また、教育信号系記憶場は、教育信号系の演算素子（演算素子のブロックダイアグラムは第3図で示す。）や分流素子（回路は第9図で示す。）のソフトレジスタやフリップフロップの出力を場の形で表現したものである。

パターン信号系信号場も教育信号系信号場と同様に表現したものである。また、パターン信号系記憶場も教育信号系記憶場と同様に表現したものである。

教育信号系からパターン信号系への教育結線は、第13図の53や55で示されるように、教育信号系の分流素子からパターン信号系の演算素子へ向かうものである。

ここで、たとえば教育信号系の分流素子W6とパターン信号系の演算素子V6に注目してみると、W6には入力として48で示される符号が入りこの符号は1ビットで、W6の内部状態によつて

-20-

そのまま分流するか、あるいは反転して分流するかが決まる。W6の出力は同じく、教育信号系の演算素子W4とW5へ入力される。また、W6は自己への入力符号と同一の符号をV6へ教育結線を通して入力する。

V6はパターン信号系の演算素子である。V6へは入力としてV4とV5から符号が入ってくるのである。ここで、たとえばV4からV6へ符号0が入力していて、V5からV6へ符号1が入力している時に、W6からV6へ教育結線53をおして、符号1が入力されていたとする。

この場合、V6に与つては（V4から符号0が入力し、V5から符号1が入力しているときには、符号1を出力せよ）という入出力関係の要求を受けていることになる。

この要求が何度も、つづけて行われるとV6はその要求を満足する状態に移る。V6が要求を受ける前に、第2図で示す演算素子の状態遷移図において、AND素子の状態にあつたならばV6はBC素子の状態に移る。

-21-

なぜなら、第1図(b)に示すように、V6の出力を第1図(b)のBC素子における記号Cだと考えるとV5からV6への入力は、第1図(b)のBC素子における記号Bであると考えられるからである。

V6とW6の関係と同様に、V5はW5に対して54で示される教育結線を通して出力符号の要求をしている。W5にとつては、その時の自己への入力符号に対して、出力として出すべき符号の要求をV5から受けていることになる。

このような入出力関係の要求が、第1図で示す演算素子の4種類の状態のいずれによつても満足されない、という場合が生じたとする。その演算素子を含む系にとつて、このことは一種の「ひずみ」となる。このひずみが生じると系はひずみをなくそうとする。すなわち、その演算素子に符合を入力し、同一の系に属する2個の分流素子に対して、演算素子は、状態を反転せよ、という内容の反抗出力を出す。この反抗出力を2つの反抗入力端子から同時に受けた分流素子は、状態を反転させる。

-22-

このようにして系は、ひずみを解消する。たとえば、第13図において、V1が状態を反転させるのは、58と59で示される結線を通じて、V2とV3から同時に符号1が入力した場合である。本実施例のサイバネトロンにおける局所的な現象は以上述べたとおりである。

このような現象がパターン信号系、教育信号系の全域にわたって行われることにより、パターン信号系信号場と教育信号系信号場が同一になるように、サイバネトロンは自己組織する。

次に、第13図において、46で示すEXORについて説明する。

EXORは、EXCLUSIVELY ORの略である。これは2つの入力の符号を比較して、同一ならば0を、同一でないならば1を出力するものである。

本実施例のシステムの場合、パターン信号系の多数の出力端子とそれに対応する教育信号系の多数の入力端子のペアのひとつずつに対して、1個のEXORが対応している。そして、このようなE

-23-

XORの集合が、第15図の38で示されるEORである。

第13図の46で示されるEXORの出力52のつながり方は、単なる例示的なものであつて絶対的なものではない。むしろ、EXORの出力は多数に分岐し、教育信号系からパターン信号系へ向かう多くの教育結線を、ランダムに制御するほうが良い。

第13図において、46で示されるEXORの出力52は、W6からV6へ向かう教育結線(教育信号系からパターン信号系への教育結線の一部)の効力を制御している。EXORの出力としてたとえば、符号0が出力されていたならば、W6からV6へ向かう教育結線は効力を失なう。また52で示されるEXORの出力として、符号1が出力されていたならば、W6からV6への教育結線は有効なものとなる。

これは、第14図に示すような方式で実現されている。演算素子へ入力されるべきCLOCK信号は、49で示されるAND回路にEXORの出

-24-

力とともに入力される。そして、AND回路の出力として、51で示される信号が演算素子のCLOCK信号入力端子へ入る。

したがって、EXOR出力が0ならば、51で示される信号はCLOCK信号に無関係に常に0である。この場合、演算素子の第4図における8あるいは15で示されるシフトレジスタや12あるいは19で示されるフリップフロップは動作しない。すなわち、入力信号を読み込まず、EXORの出力によつて教育結線が無効になる。EXORの出力が1ならば、51で示される信号はCLOCK信号と同一になり、演算素子はCLOCK信号により逐次的に状態遷移を行う。

この場合、教育結線は有効である。

次に、サイバネトロンを構成する学習素子について説明する。

サイバネトロンは、第12図に示す演算素子と分流素子の2種類の学習素子によつて構成されている。その構成図を第13図に示す。

第12図の演算素子において、A、Bは入力信

-25-

号であり、Cは出力信号である。A、Bは、同一の系に属する分流素子の出力信号が、演算素子へ入力として入るものであり、Cの出力信号は同一の系に属する分流素子への入力信号となる。

A、Bという入力信号に対して、どのような演算を施してCという出力信号を出すかによつて、演算素子は第1図に示すように、AND素子、OR素子、AC素子、BC素子の4種類の状態をとることができる。

ここで、以後の説明の都合上、次のような表現形式を定めておく。

第12図の演算素子において、(A, B, C)と書くと、これは演算素子の入出力関係の機能を表わすものとする。第2図において、2で示される表現形式も演算素子の入出力関係の機能を表わす。

また、(A, B, C')と書くと、これは演算素子への入出力関係の要求、または教育を表わす。第2図において、1で示される表現形式は(A, B, C')と同一の内容を表わす。

-26-

第12図の演算素子において、 $C'$ は教育入力であり、他の系に属する分流素子からの入力信号である。 $R1, R2$ は同一の系に属し、自己に対してはそれぞれ $A, B$ となる信号を出力する分流素子に対する反抗出力である。

第12図の分流素子において、 $D1$ は、同一の系に属する演算素子の出力信号が、分流素子への入力として入るものである。

また、 $E1, E2$ は常に $E1 = E2$ であり、 $D1$ を反転させて $E1, E2$ として出力したり、反転させずに出力したりする。分流素子は $D1$ に対する $E1, E2$ の関係として、2種類の関係を実現でき、それらを第10図に示す。

2種類の関係は、第10図における2つの状態、すなわちDIRECT素子とNOT素子の2つの状態に対応している。第12図の分流素子における、 $r1, r2$ はそれぞれ、 $E1, E2$ を入力される演算素子からの反抗入力である。分流素子は $r1 = r2 = 1$ のときに、CLOCK信号が入ると状態を反転させ、DIRECT素子であつた

ならば、NOT素子に、NOT素子であつたならばDIRECT素子に変化する。また、 $D2$ は他の系に属する演算素子への教育出力信号であり、常に $D2 = D1$ が成立する。

次に、演算素子の構造と動作を詳しく説明する。演算素子の構造は、第3図に示されるものであり、4つの部分(演算素子教育入力判断部、演算素子状態遷移形成部、反抗出力形成部、演算素子記憶制御演算部)から成立している。

3で示される演算素子教育入力判断部には、 $(A, B, C')$ という入出力関係の要求を表わす信号が入力される。 $(A, B, C')$ は演算素子に $A, B$ という入力信号が入ると出力として、 $C = C'$ という信号を出す機能、 $(A, B, C)$ を持って、という要求をするものである。

また、3で示される演算素子教育入力判断部は、 $(A, B, C')$ を受けると、 $(A, B, C')$ の内容を判断して、4で示される演算素子状態遷移形成部の記憶 $A1, A2$ をどのように変化させるべきかを決定して、その命令を $\alpha, \gamma, \omega, \epsilon$

という信号によつて、4で示される部分に送る。4で示される演算素子状態遷移形成部は、CLOCK信号が入ると、 $\alpha, \gamma, \omega, \epsilon$ という信号によつて表現される命令に従うように、4の内部にあるシフトレジスタやフリップフロップのもつ記憶の内容を変化させてゆく。

4は $A1, A2$ を3からの命令 $\alpha, \gamma, \omega, \epsilon$ により形成し、この $A1, A2$ が演算素子の行なり演算の種類を決定する。

したがつて、第4図で12, 19で示されるフリップフロップの対は、以前に定義した演算機能記憶部に相当し、8, 15で示されるシフトレジスタの対はバッファ記憶部に相当する。

4から出力された $A1, A2$ は、6で示される演算素子記憶制御演算部に入力される。

6で示される部分は第1図のように、 $A1, A2$ の値によつて、 $C = A \cdot B, C = A + B, C = A, C = B$ という4種類の演算のうちのいずれかを行なり。また、3に対して、 $(A, B, C') = (1, 1, 0)$ 、または、 $(A, B, C') =$

$(0, 0, 1)$ という入出力関係の要求があつたとすると、第3図において、3で示される部分から5で示される反抗出力形成部に対して、 $\alpha$ または $\gamma$ として符号1が入力される。

そうすると、5で示される部分は、1という符号を反抗出力、 $R1$ および $R2$ として出す。

演算素子は第1図に示すように、AND素子、OR素子、AC素子、BC素子の各状態なり、それに対応する演算を行なりことができる。しかしこの4つのいずれにおいても、 $(A, B, C') = (1, 1, 0)$ や $(A, B, C') = (0, 0, 1)$ という入出力関係の要求を満足することができないので、このような要求を受けたならば、演算素子は、このような要求を自己に与える原因となつた分流素子に対して、分流素子の状態を反転させるような信号(反抗出力)を出す。

第2図は、演算素子の状態遷移図である。1で示すように4角形の中に、 $A, B, C'$ の符号を書き込んだものは、 $(A, B, C')$ という入出力関係の要求を示す。



また、2で示すように、円の中にA, B, Cの符号を書き込んだものは、(A, B, C)という入出力関係の機能を示す。

たとえば、第2図において、AND素子と表示された丸枠において、その中に、2で示すような円が4つ含まれ、それら4つの円が、(1, 1, 1), (0, 1, 0), (1, 0, 0), (0, 0, 0)という入出力関係の機能を示すものはAND素子である。同様に、BC素子, OR素子, AC素子も示される。

第2図において、AND素子からBC素子へ状態遷移を示す矢印が引かれている。この矢印には(0, 1, 1)という入出力関係を示す4角形がその矢印の表示として書かれている。

第2図において、AND素子からBC素子へ向かつて引かれている状態遷移を示す矢印の意味は、次のようなものである。すなわち、演算素子がAND素子の状態にある場合に、演算素子に対して(0, 1, 1)という入出力関係の要求をするならば、AND素子はBC素子に変化しようとする。

-31-

そして、(0, 1, 1)という入出力関係の要求を連続して何度か行なうと、演算素子はAND素子の状態からBC素子の状態へと状態遷移を行なう。

また、AND素子から発してAND素子へもどる状態遷移の矢印には、(0, 1, 1), (1, 0, 1)以外、という表示が、矢印の表示として書かれている。この状態遷移の矢印の意味は、次のようなものである。すなわち、演算素子がAND素子の状態にある場合、演算素子に対して、(0, 1, 1), (1, 0, 1)以外の入出力関係の要求、(1, 1, 1), (0, 1, 0), (1, 0, 0), (0, 0, 0), (1, 1, 0), (0, 0, 1)であるが、これらを演算素子に要求しても、演算素子はAND素子の状態を保つ。BC素子, OR素子, AC素子の各素子から発してそれぞれの素子へもどる矢印の意味においても、AND素子の場合と同様なことが言える。

第2図から容易にわかるように、AND素子とBC素子は、3つの入出力関係の機能を共有する。

-32-

たとえば、AND素子からBC素子へ状態遷移するのは、(0, 1, 1)という入出力関係の要求により、また、BC素子からAND素子へ状態遷移するのは、(0, 1, 0)という入出力関係の要求によるものである。このことは、次のように解釈できる。すなわち、演算素子がある素子の状態にある時、その素子の状態では実現できない入出力関係の要求を何度も受けたならば、演算素子は、その入出力関係の要求を満足することのできる状態へ状態遷移を起こす。この状態遷移によって到達した新しい状態は、以前の状態と3つの入出力関係の機能を共有しており、1つの機能を除いては、以前の機能を保存している。

また、第17図を参照すればわかるように、(1, 1, 0)と(0, 0, 1)を除く、6つの入出力関係の機能は、その機能を実現できる演算素子の状態の数を2つ以上持っている。

したがって、演算素子のこのような性質からもサイバネトロンは、それが獲得した良い状態をできるだけ保存しながら、新しい入出力関係の要求

-33-

を満足するように、柔軟に自己組織することがわかる。

以上に述べた演算素子の動作を電子回路によって、どのように実現したかを次に述べる。

第5図は、教育入力判断部の回路図である。この図より明らかのように、21で示されるAND回路は、(A, B, C') = (0, 1, 1)の場合のみ、アとして符号1を出力し、他の場合には、常に0を出力している。22で示されるAND回路は、(A, B, C') = (0, 1, 0)の場合のみ、イとして符号1を出力し、他の場合には常に0を出力している。23で示されるAND回路は、(A, B, C') = (1, 0, 1)の場合のみ、ウとして符号1を出力し、他の場合には常に0を出力している。同様に、エ, オ, カは、(A, B, C') がそれぞれ、(1, 0, 0), (1, 1, 0), (0, 0, 1)の場合のみ、符号1となり、他の場合は常に0である。次に、第4図について説明する。

B, 15で示すものは、4ビットシフトレジスタ

-34-

である。これはCKで表示しているCLOCK入力端子にCLOCKパルスが入力すると、データを読み取つて、CLOCKパルスの立ち下がり時に、シフトレジスタの各段の内容が、次の段へシフトするものである。

具体的に述べると、8で示すシフトレジスタの場合には、CLOCKパルスが1個入力すると、S11にはAの符号が入り、S12にはS11にあつた符号が、S13にはS12にあつた符号が、そして、S14にはS13にあつた符号が入る。このことは、15で示されるシフトレジスタについても同様である。

また、9や16で示すCORと表示した回路の動作は次のようなものである。

いま、CORへの入力、X1、X2、X3であり、出力がYであつたとする。そうすると、YとX1、X2、X3との間の関係は、ブール代数を使えば次のようになる。

$$Y = X1 \cdot X2 \cdot X3 + \overline{X1} \cdot \overline{X2} \cdot \overline{X3}$$

----- (7)

次に、12、19で示されるフリップフロップの動作を説明する。

これは、JKフリップフロップのJ端子とK端子を接続して、Tフリップフロップとして使つてゐる。J=K=1のときに、CKからCLOCKパルスが1個入力すると、Qは $\overline{Q}$ に変化する。また、J=K=0のときは、いくらCLOCKパルスがCKに入力してもQは変化しない。J=K=1のときも、CKからCLOCKパルスが入力しないうちに、Qは変化しない。

第4図において、A1が $\overline{A1}$ に変化するためには、11で示されるAND回路の出力が1のときに、CLOCKパルスが12で示されるフリップフロップのCKに入力されねばならない。

11で示されるAND回路の出力が、1であるためには10で示されるEXCLUSIVELY OR回路と、9で示されるCOR回路と、13で示されるOR回路の出力が、すべて1でなければならぬ。10で示されるEXCLUSIVELY ORの出力が1であるためには、S12 =

$\overline{A1}$ でなければならず、また9で示されるCORの出力が1であるためには、S12 = S13 = S14でなければならぬ。そして、13で示されるOR回路の出力が1であるためには、AまたはIが1でなければならぬ。

したがつて、A1が $\overline{A1}$ になるためにはS12 = S13 = S14 =  $\overline{A1}$ であり、かつ演算素子に対して(A, B, C') = (0, 1, 1)または(A, B, C') = (0, 1, 0)という入出力関係の要求がなくてはならない。

S12 = S13 = S14ということは、過去において3回以上、連続して、(A, B, C') = (0, 1, 1)、または、(A, B, C') = (0, 1, 0)という入出力関係の要求があつたことを意味する。ただし、この場合、(A, B, C') = (1, 1, 1)と(A, B, C') = (0, 0, 0)は演算素子のどの状態でも満足できるので、演算素子は状態遷移の必要がなくなり、A, I, U, Eはすべて0となり、シフトレジスタもフリップフロップもその状態を保つ。

これは、13や20で示されるOR回路の出力が0となることによる。

(A, B, C') = (0, 0, 1)および、(A, B, C') = (1, 1, 0)は、演算素子のどの状態もこれを満足できないので、A, I, U, Eはすべて0となり、シフトレジスタもフリップフロップもその状態を保つ。したがつて、(A, B, C') = (1, 1, 1), (0, 0, 0), (1, 1, 0), (0, 0, 1)は、演算素子に対して、状態遷移を起こす能力を持たない。

たとえば、演算素子に対して、入出力関係の要求として、時間的に次の順序で要求があつたとする。

$$[0, 1, 1], [0, 1, 1], [1, 1, 1], [0, 1, 1]$$

この場合シフトレジスタは、(0, 1, 1), (0, 1, 1), (0, 1, 1)というように、(0, 1, 1)が連続して3回入力された場合と同じ状態になる。フリップフロップ12や19も(0, 1, 1)が連続して3回入力された場合と同

じ状態になることがわかる。ここである時刻において、 $(S11, S12, S13, S14, A1) = (0, 0, 0, 0, 0)$ であつたとする。この状態からA1が1になるためには、まず、 $S12 = S13 = S14 = 1$ でなくてはならない。 $S12 = S13 = S14 = 1$ とするような入出力関係の要求は、アを1とするものであるから、第5図を参照すれば、 $(A, B, C') = (0, 1, 1)$ となる。

第2図において、 $(A, B, C') = (0, 1, 1)$ という入出力関係の要求は、AND素子をBC素子へ、または、AC素子をOR素子へ状態遷移させようとするものである。

AND素子の記憶、 $(A1, A2) = (0, 0)$ 、BC素子の記憶、 $(A1, A2) = (1, 0)$ 、AC素子の記憶、 $(A1, A2) = (0, 1)$ 、および、OR素子の記憶、 $(A1, A2) = (1, 1)$ 、ということを考えて、 $(A, B, C') = (0, 1, 1)$ という入出力関係の要求は、A1を1にせよ、という命令だと解釈でき

る。そして、A1が1ならば、第2図からわかるように、 $(0, 1, 1)$ という状態を持つことができる。A1を1にせよ、という命令 $(A, B, C') = (0, 1, 1)$ が連続して3回以上あつた後に、 $S12 = S13 = S14 = 1$ になつたとする。その後、第4図においてアまたはイが1となりかつ、CLOCK信号が入力されると、A1は0から1に変化する。

A1が1になつた後に、いくら続けて8で示されるシフトレジスタに対して1が入力されたとしても、 $S12 = S13 = S14 = 0$ という条件が少なくとも満たされない限り、A1は0になることはない。なぜなら、9で示されるCORは、 $S12 = S13 = S14$ ならば出力として1を出すのであるが、 $S12 = S13 = S14 = \overline{A1}$ でなかつたら、10で示されるEXCLUSIVELY ORの出力が、0となりA1の反転の可能性がないからである。

このようなことが、ウ、エと15で示されるシフトレジスタや、16で示されるCOR回路や、

19で示されるフリップフロップやA2等との関係においても成立する。 $(A, B, C') = (0, 1, 1)$ は、A1を1にせよ、という命令に相当していたが、同様に、 $(0, 1, 0)$ は、A1を0にせよ、という命令に相当し、 $(1, 0, 0)$ は、A2を0にせよ、また、 $(1, 0, 1)$ は、A2を1にせよ、という命令に相当する。これらの命令が実行されるためには、 $(0, 1, 1)$ の場合について以上説明したのと同様に、命令が何度も連続してくり返されなければならない。

次に、第7図について説明する。

6で示される部分は、演算素子記憶制御演算部である。A, B, A1, A2とCとの関係をあらわす式は、ブール代数により、次のように書くことができる。

$$C = (A \cdot A2 + B \cdot A1) + A \cdot B \quad \text{--- (B)}$$

(B)式に、 $(A1, A2) = (0, 0)$ を代入すると、

$$C = (A \cdot 0 + B \cdot 0) + A \cdot B = A \cdot B$$

--- (9)  
となり、 $(A1, A2) = (0, 1)$ を代入すると、

$$C = (A \cdot 1 + B \cdot 0) + A \cdot B = A + A \cdot B = A \quad \text{--- (10)}$$

また、 $(A1, A2) = (1, 0)$ を代入すると

$$C = (A \cdot 0 + B \cdot 1) + A \cdot B = B + A \cdot B = B \quad \text{--- (11)}$$

となり、 $(A1, A2) = (1, 1)$ を代入すると、

$$C = (A \cdot 1 + B \cdot 1) + A \cdot B = A + B + A \cdot B = A + B \quad \text{--- (12)}$$

となる。したがって、6で示される記憶制御演算部は、 $(A1, A2) = (0, 0)$ のときには、AND素子として働き、 $(A1, A2) = (0, 1)$ のときは、AC素子として、 $(A1, A2) = (1, 0)$ のときは、BC素子として、また、 $(A1, A2) = (1, 1)$ のときには、OR素子として働く。

次に、第6図について説明する。

演算素子に対する入出力関係の要求として、 $(A, B, C') = (1, 1, 0)$ が要求されると、第5図からわかるように、オは1となる。また、 $(A, B, C') = (0, 0, 1)$ が要求されると、カは1となる。オとカは第6図からわかるように、27で示されるOR回路に入力されて、反抗出力Rがでる。

Rは、第3図からわかるように、R1とR2に分岐している。これが、分流素子に対する反抗出力となる。

次に分流素子の構造と動作について、詳しく説明する。

第9図において、33で示されるAND回路に演算素子から反抗入力r1, r2が入力されている。34で示されるフリップフロップは、r1=r2=1のときに、CLOCKパルスが1個CLK端子に入力されると、Qの値が反転する。また、35で示されるEXCLUSIVELY ORは、QとD1が入力している。

-43-

Q=0のとき、D1=1ならばE1=E2=1となり、D1=0ならばE1=E2=0となる、また、Q=1のときD1=1ならばE1=E2=0となり、D1=0ならばE1=E2=1となるのである。すなわち、第9図で示される分流素子回路は第10図に示す動作をする。

次に、本発明の効果について述べる。

本発明の効果としては、次の(1)~(6)が挙げられる。

(1) デジタル回路のみを用いて、自己組織情報処理システムが実現できる。

(2) したがって、自己組織情報処理システムが、以前よりも容易に実現できる。

(3) そして、現在のデジタル回路における集積化の技術を用いると、小型化、低価格化、大量生産も可能である。

(4) 現在のデジタルコンピューターとの結合も比較的容易にできるので、本発明のデジタル型自己組織情報処理システムとコンピューターとにより、パターン認識装置が実現できる。

-44-

(5) アナログ型自己組織情報処理システム、たとえば、パーセプトロンなどでは、自己組織のスピードの制御は困難であつたが、本発明のデジタル型自己組織情報処理システムにおいては、CLOCK信号のくり返し周期を調節することにより、比較的簡単に、自己組織のスピードを制御できる。

(6) その他、パターン認識機能を必要とするさまざまなシステム(たとえば、文字読み取りシステム、交通管制システムなど)を、本発明のシステムと現在のデジタル技術を組合わせて実現することができる。

なお、本発明の実施例において、サイバネトロンは、2入力1出力の演算素子と1入力2出力の分流素子とをその構成単位としているが、サイバネトロンの構成単位としての演算素子は、3入力1出力でもいいし、分流素子は1入力3出力でもいい。このようにすると、サイバネトロンは立体的な回路網になり、より複雑で高級な組織に自己組織することができる。このようにサイバネト

-45-

ロンの構成単位としての学習素子(演算素子と分流素子)には、さまざまな形態が可能である。

本実施例において、演算素子の状態遷移は、第2図で示される状態遷移図に従つて行われることとした。しかし、演算素子の状態遷移は、演算素子の満足すべき条件(a)~(h)を満足するものであればよい。したがって、演算素子の状態遷移図としては、第2図以外にもさまざまなものが可能である。たとえば、第18図も可能である。

また、演算素子と分流素子を組合わせて、他の形態の自己組織システムの構成単位とすることもできる。

サイバネトロンの自己組織機能で、EORの出力を用いて、どのように教育結線を制御するかにより、大きな影響をうける。

また、サイバネトロンへのCLOCK信号の入力の仕方によつても、自己組織機能は大きな影響をうける。CLOCK信号をシステムの各部分に同期して入力するよりも、同期しないでランダムに入力した方がよい結果をもたらすことができる。

-46-

4. 図面の簡単な説明

第11図と第15図(a), (b), (c)と第16図を除く他のすべての図は、本発明の一実施例を説明するためのものである。

第1図(a), (b)は、それぞれ演算素子の行なり演算の種類を示す図である。

第2図は、演算素子の状態遷移図、第3図は演算素子のブロックダイアグラム、第4図は演算素子状態遷移形成部の回路図、第5図は演算素子教育入力判断部の回路図、第6図は反抗出力形成部の回路図、第7図は演算素子記憶制御演算部の回路図、第8図は分流素子の状態遷移図、第9図は分流素子の回路図、第10図は分流素子のとりうる2つの状態を説明する図、第11図はサイバネトロン動作原理図、第12図は演算素子と分流素子を表わす記号を示した図、第13図はサイバネترون構成図、第14図は教育結線の制御方法説明図、第15図(a), (b), (c)はサイバネトロンの自己組織の概念図、第16図はパターンの変換過程図、第17図は演算素子の入出力関係の機能図、

第18図は本実施例における演算素子の、他に可能な形態の状態遷移図である。

特許出願人 黒木慶平(ほか3名)

図面 第1図(a)

名称	AND 素子	OR 素子																														
記号																																
真理値表	<table border="1"> <tr><td>A</td><td>B</td><td>C</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	C	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <tr><td>A</td><td>B</td><td>C</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	C	0	0	0	0	1	1	1	0	1	1	1	1
A	B	C																														
0	0	0																														
0	1	0																														
1	0	0																														
1	1	1																														
A	B	C																														
0	0	0																														
0	1	1																														
1	0	1																														
1	1	1																														
論理式	$C = A \cdot B$	$C = A + B$																														
内部状態	$(A1, A2) = (0, 0)$	$(A1, A2) = (1, 1)$																														

図面 第1図(b)

名称	AC 素子	BC 素子																														
記号																																
真理値表	<table border="1"> <tr><td>A</td><td>B</td><td>C</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	C	0	0	0	0	1	0	1	0	1	1	1	1	<table border="1"> <tr><td>A</td><td>B</td><td>C</td></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	A	B	C	0	0	0	0	1	1	1	0	0	1	1	1
A	B	C																														
0	0	0																														
0	1	0																														
1	0	1																														
1	1	1																														
A	B	C																														
0	0	0																														
0	1	1																														
1	0	0																														
1	1	1																														
論理式	$C = A$	$C = B$																														
内部状態	$(A1, A2) = (0, 1)$	$(A1, A2) = (1, 0)$																														

図 面 第 2 図

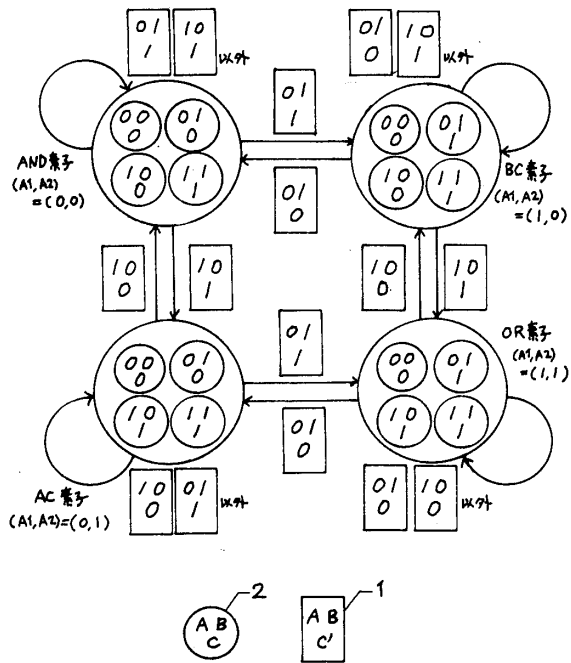


図 面 第 3 図

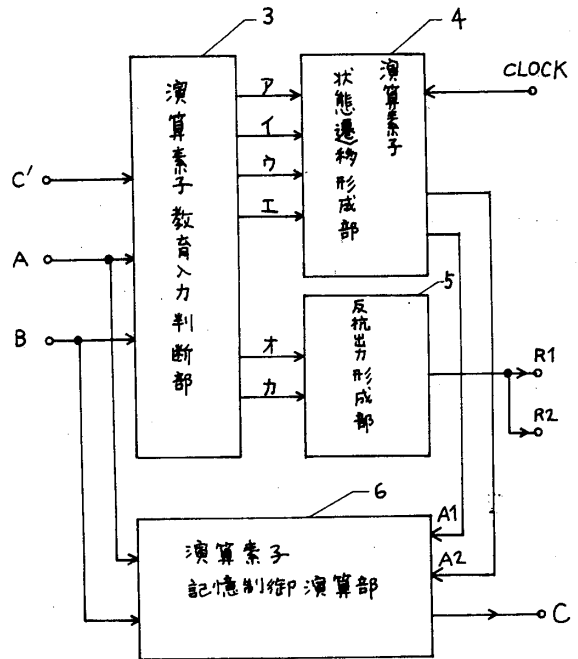


図 面 第 4 図

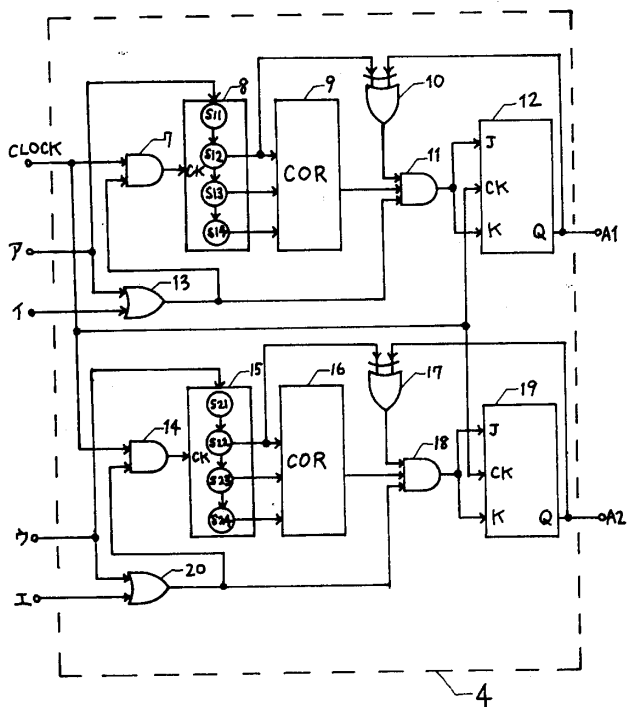
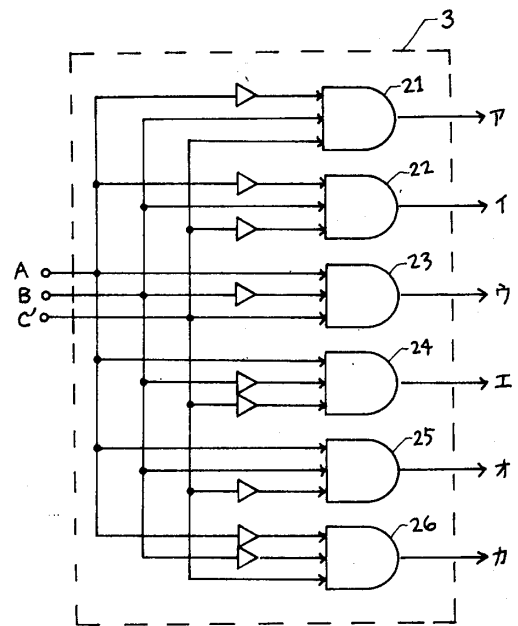
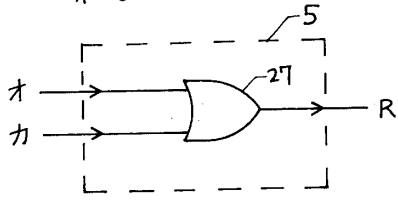


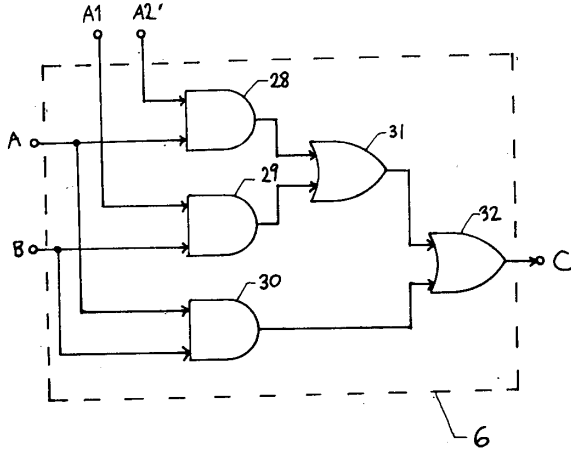
図 面 第 5 図



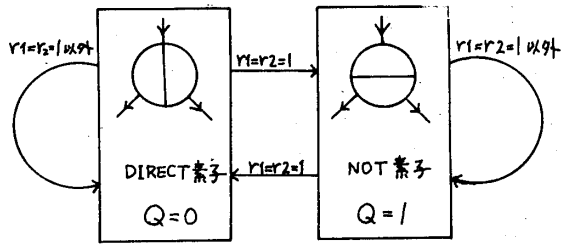
図面  
が 6 図



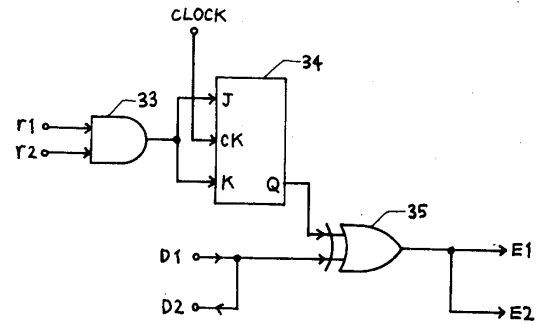
図面  
が 7 図



図面  
が 8 図



図面  
が 9 図



図面  
が 10 図

名称	DIRECT 素子	NOT 素子																		
記号																				
真値表	<table border="1"> <tr><th>D1</th><th>E1</th><th>E2</th></tr> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </table>	D1	E1	E2	0	0	0	1	1	1	<table border="1"> <tr><th>D1</th><th>E1</th><th>E2</th></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> </table>	D1	E1	E2	0	1	1	1	0	0
D1	E1	E2																		
0	0	0																		
1	1	1																		
D1	E1	E2																		
0	1	1																		
1	0	0																		
論理式	$E1 = E2 = D1$	$E1 = E2 = \overline{D1}$																		
内部状態	$Q = 0$	$Q = 1$																		

図面  
が 11 図

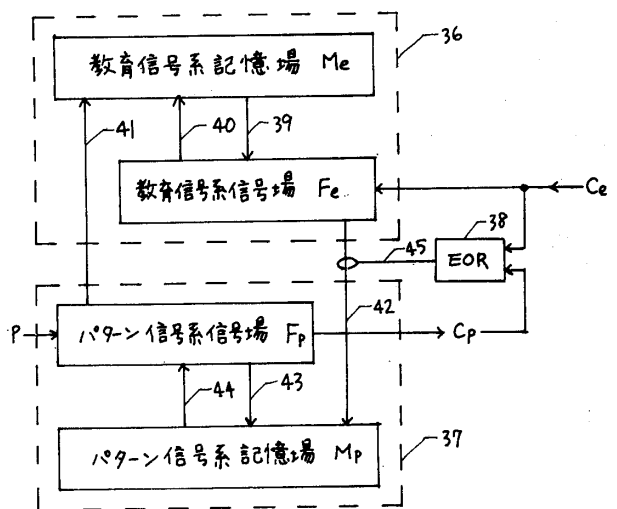


圖 面 才 13 圖

圖 面 才 12 圖

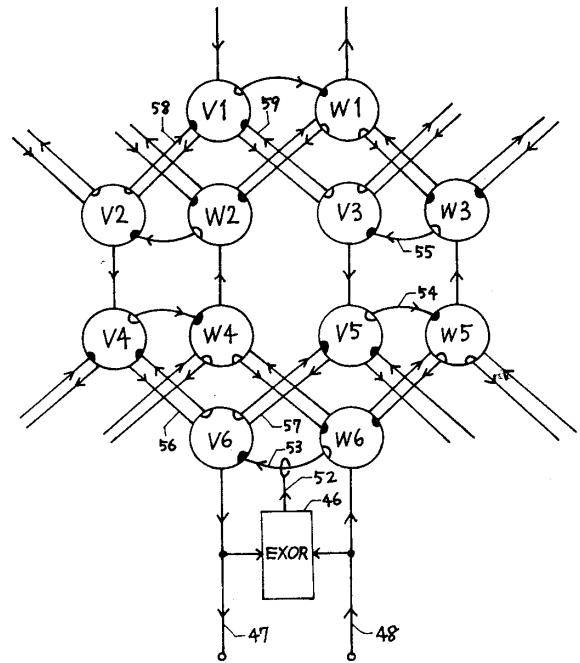
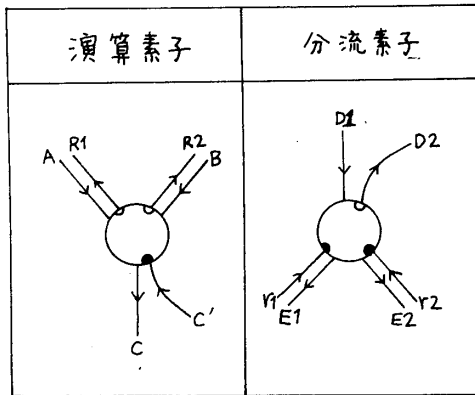


圖 面 才 14 圖

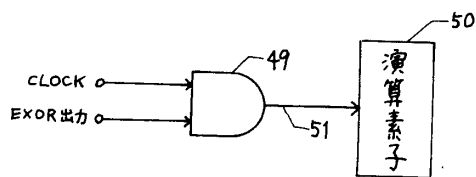


圖 面 才 15 圖

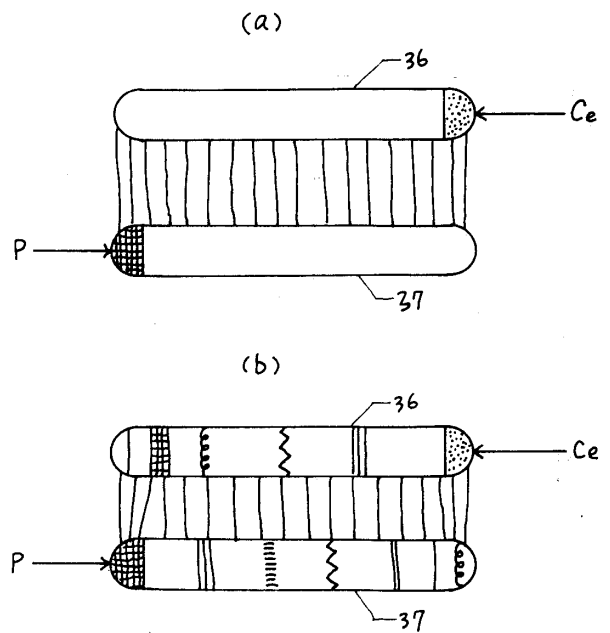




図 面 16 図

図 面 15 図 (C)

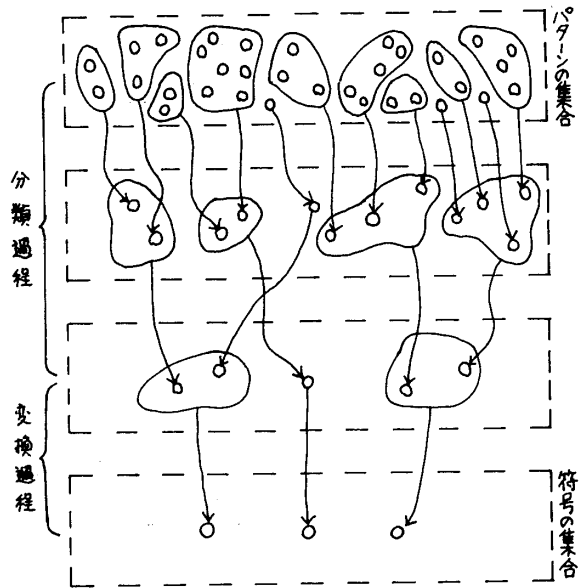
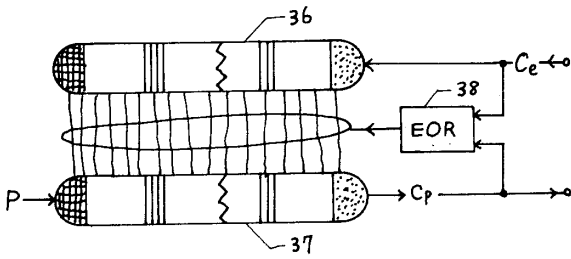


図 面 17 図

機能	機能を実現する素子
00 0	AND AC OR BC
10 0	AND BC
01 0	AND AC
00 1	なし
01 1	OR BC
10 1	AC OR
11 0	なし
11 1	AND AC OR BC

図 面 18 図

